

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: November 29, 2002
Application Number: Patent Application No. 2002-347882
Applicant (s): SHARP KABUSHIKI KAISHA

May 23, 2003
Commissioner, Patent Office
Shinichiro OTA

Patent application 2002-347882

[Name of Document]	Patent Application	
[Reference Number]	02J04587	
[Date of Filing]	November 29, 2002	
[Destination]	Commissioner, Patent Office	
[International Patent Classification]	G11C 11/21	
[Title of Invention]	MEMORY CELL AND MOMORY DEVICE	
[Number of Claimed Inventions]	8	
[Inventor]		
[Address]	c/o SHARP KABUSHIKI KAISHA, 22 - 22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka	
[Name]	INOUE, Koji	
[Inventor]		
[Address]	c/o SHARP KABUSHIKI KAISHA, 22 - 22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka	
[Name]	HAMAGUCHI, Koji	
[Applicant]		
[Identification Number]	000005049	
[Name]	SHARP KABUSHIKI KAISHA	
[Representative]	MACHIDA, Katsuhiko	
[Attorney]		
[Identification Number]	100078868	
[Patent Attorney]		
[Name]	KOHNO, Takao	
[Telephone Number]	06-6944-4141	
[Assigned Attorney]		
[Identification Number]	100114557	
[Patent Attorney]		
[Name]	KOHNO, Hideto	
[Telephone Number]	06-6944-4141	
[Priority Claimed based on Prior Patent Application]		
[Application No.]	JP2002-185234	
[Date of Filing]	June 25, 2002	
[Indication of Official Fee]		
[Register Number]	001889	
[Amount]	¥21,000	
[List of Annexes]		
[Name of Article]	Specification	1
[Name of Article]	Drawings	1
[Name of Article]	Abstract	1
[Number of General Authorization]	0208490	
[Proof]	Needed	

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月29日

出 願 番 号

Application Number:

特願2002-347882

[ST.10/C]:

[JP2002-347882]

出 願 人

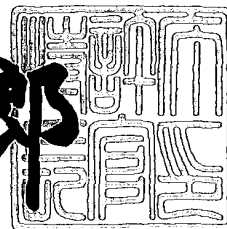
Applicant(s):

シャープ株式会社

2003年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038411

【書類名】 特許願

【整理番号】 02J04587

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/21

【発明の名称】 メモリセル及び記憶装置

【請求項の数】 8

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 井上 剛至

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 濱口 弘治

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【代表者】 町田 勝彦

【代理人】

 【識別番号】 100078868

 【弁理士】

 【氏名又は名称】 河野 登夫

 【電話番号】 06-6944-4141

【選任した代理人】

 【識別番号】 100114557

 【弁理士】

 【氏名又は名称】 河野 英仁

 【電話番号】 06-6944-4141

【先の出願に基づく優先権主張】

【出願番号】 特願2002-185234

【出願日】 平成14年 6月25日

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリセル及び記憶装置

【特許請求の範囲】

【請求項 1】 可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えることを特徴とするメモリセル。

【請求項 2】 前記電流制御素子は電界効果トランジスタであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 3】 前記電流制御素子はダイオードであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 4】 前記電流制御素子はバイポーラトランジスタであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 5】 可変抵抗素子及び該可変抵抗素子に流れる電流を制御する電界効果トランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記電界効果トランジスタのゲートをロー方向において共通に接続するワード線と、前記電界効果トランジスタのソースをロー方向において共通に接続するソースドライブ線と、可変抵抗素子の 1 端をコラム方向において共通に接続するビット線とを備え、前記電界効果トランジスタのドレインと前記可変抵抗素子の他端とを接続してあることを特徴とする記憶装置。

【請求項 6】 可変抵抗素子及び該可変抵抗素子に流れる電流を制御するダイオードにより構成されるメモリセルをマトリクス状に配置してあり、前記ダイオードのアノードをロー方向に共通に接続するワード線と、前記ダイオードのカソードを前記可変抵抗素子の 1 端に接続し、可変抵抗素子の他端をコラム方向に共通に接続するビット線とを備えることを特徴とする記憶装置。

【請求項 7】 可変抵抗素子及び該可変抵抗素子に流れる電流を制御するバイポーラトランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記バイポーラトランジスタのコレクタを共通に接続する共通接続部と、前記バイポーラトランジスタのベースをロー方向において共通に接続するワード線と、可変抵抗素子の 1 端をコラム方向において共通に接続するビット線とを備え、前記バイポーラトランジスタのエミッタと前記可変抵抗素子の他端とを接続し

であることを特徴とする記憶装置。

【請求項 8】 前記ワード線はワード線を選択するためのローデコーダに接続され、前記ビット線はビット線を選択するためのコラムデコーダに接続され、該コラムデコーダには前記メモリセルのメモリ情報を読み出すための読み出し用回路が接続されていることを特徴とする請求項 5 ないし 7 のいずれかに記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセル及び記憶装置に関する。

【0002】

【従来の技術】

ペロブスカイト構造をもつ薄膜材料、特に巨大磁性抵抗 (CMR : colossal magnetoresistance) 材料や高温超伝導 (HTSC : high temperature superconductivity) 材料により構成した薄膜やバルクに対して、1 つ以上の短い電気パルスを印加することによって、その電気的特性を変化させる手法が提案されている。この電気パルスによる電界の強さや電流密度は、その材料の物理的な状態を変化させるには十分であり、また、材料を破壊することの無い十分に低いエネルギーであれば良く、この電気的パルスは正極性、負極性の何れでもよい。複数の電気パルスを繰り返し印加することにより、さらに材料特性を変化させることができる。

【0003】

このような従来技術は、例えば米国特許第 6, 204, 139 号明細書に開示されている。図 29、図 30 は従来技術における印加パルス数と抵抗値との関係を示すグラフである。図 29 は、金属性サブストレートの上に成長させた CMR フィルムに対して印加するパルス数と抵抗との関係を示している。ここでは、32 V の振幅、71 ns のパルス幅を持つパルスを 47 発印加している。このような条件下では、図から分かるように抵抗値は 1 桁程度変化することが分かる。

【0004】

また、図30は、パルス印加条件を変更して、27Vの振幅、65nsのパルス幅を持つパルスを168発印加している。このような条件下では、図から分かるように抵抗値は約5桁も変化することが分かる。

【0005】

図31、図32は従来技術におけるパルスの極性に対する依存性を示すグラフである。図31は、正極性+12Vと負極性-12Vのパルスを印加した場合のパルス数と抵抗との関係を示す。また、図32は、正極性+51Vと負極性-51Vのパルスを連続印加した後に抵抗値を測定した場合のパルス数と抵抗との関係を示す。図31及び図32に見られるように、数回の正極性パルスを印加して抵抗値を低減させた後、負極性のパルスを連続印加して抵抗値の増大（最終的には飽和状態）を図ることが可能となる。このことは、正極性パルスを印加した時をリセット状態、負極性を印加した時を書き込み状態とすることでメモリデバイスへの応用が考えられる。

【0006】

上記従来例では、このような特性を有するCMR薄膜をアレイ状に配置し、メモリを構成した例について開示している。図33は従来技術におけるメモリアレイ構成を示す斜視図である。図33に示されたメモリアレイでは、基板25上に底面電極26を形成し、その上に各1ビットを構成する可変抵抗素子（Resistor）27、上面電極28を形成したものである。可変抵抗素子27それぞれに、つまり各1ビット毎の上面電極28にワイヤー29を接続し、書き込み用のパルスを印加する。また、読み出す場合にも、各1ビット毎の上面電極28に接続されたワイヤー29から電流を読み出すものである。

【0007】

しかしながら、図31、図32に示されたCMR薄膜の抵抗値の変化は2倍程度であり、リセット状態と書き込み状態を識別するには抵抗値の変化量が少ないように思われる。また、このCMR薄膜に印加する電圧が高く、低電圧化動作が要望されるメモリデバイスには適さない。

【0008】

この結果に基づき、当出願人等は、USP6,204,139と同一のペロブ

スカイト構造をもつCMR材料PCMO ($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$)等を用いて、1つ以上の短い電気パルスを印加することによって、新たな特性を取得することができた。つまり、約±5Vの低電圧パルスを印加することによって、薄膜材料の抵抗値が数百Ωから約1MΩまで変化する特性を取得している。そして、この材料を使用してメモリアレイを構成し、読み出し、書き込みを行う回路方式を概念的に示した特許も出願している。

【0009】

【特許文献1】

米国特許第6,204,139号明細書

【0010】

【発明が解決しようとする課題】

しかしながら、図33に示されたメモリアレイでは、各1ビット毎に電極にワイヤーを接続し、書き込み動作時に、このワイヤーを通して書き込み用パルスを印加しており、また、読み出し時においても、各1ビット毎に電極に接続されたワイヤーから電流を読み出すために、薄膜材料の特性評価は可能であるが、メモリとしての集積度を上げることができないという問題がある。

【0011】

また、書き込み動作、読み出し動作やリセット動作を行うに当たり、メモリの外部からの入力信号により全て制御しており、従来のメモリのように、メモリデバイス内部において、書き込み動作、読み出し動作やリセット動作を制御できるものとして作成されているものではない。

【0012】

図34は従来のメモリアレイの構成例を示す回路図である。PCMO材料を使用して形成した可変抵抗素子Rcが4×4のマトリクス状に配置されメモリアレイ10を構成する。各可変抵抗素子Rcの1端子はワード線W1～W4に、他の1端子はビット線B1～B4に接続される。メモリアレイ10に隣接して周辺回路32が設けられる。各ビット線B1～B4にはビットパストランジスタ34が接続され、インバータ38への経路を形成する。ビットパストランジスタ34とインバータ38との間には負荷トランジスタ36が接続される。この構成により

、メモリアレイ10の各可変抵抗素子 R_c における読み出し、書き込みを行うことができる。

【0013】

この従来のメモリアレイでは、低電圧でメモリを動作することが可能となる。しかし、この書き込み、読み出し方式では、アクセスするメモリセルに隣接するメモリセルへのリーク電流経路が発生するために、読み出し動作時には正しい電流値を評価することができない（読み出しディスタ urb）。また、書き込み動作時にも、隣接するメモリセルへのリーク電流が発生するために、正しい書き込み動作ができない虞がある（書き込みディスタ urb）。

【0014】

例えば読み出し動作において、選択メモリセルにおける可変抵抗素子 R_{ca} の抵抗値を読み出す為、ワード線 W_3 に電源電圧 V_{cc} を、ビット線 B_2 をGNDに、その他のビット線 B_1 、 B_3 、 B_4 及びワード線 W_1 、 W_2 、 W_4 はオープンにし、ビットパストランジスタ34aをオンすることによって、矢符A1で示す電流経路を形成することができるため、抵抗値を読み出すことができる。しかし、可変抵抗素子 R_{ca} に隣接する可変抵抗素子 R_c に対し、矢符A2、A3等で示す電流経路が発生するため、選択メモリセルにおける可変抵抗素子 R_{ca} の抵抗のみの値を読み出すことはできなくなる（読み出しディスタ urb）。

【0015】

上記問題点に鑑み、本発明の目的とするところは、ペロブスカイト構造をもつ薄膜材料（例えばPCMO）等からなる可変抵抗素子を記憶素子として低電圧で動作可能であり、且つ高集積が可能なメモリセル及び該メモリセルを用いた記憶装置を提供することにある。

【0016】

更に、本発明の別の目的として、メモリセルアクセス時において、隣接するメモリセルへのリーク電流が生じないメモリ周辺回路を備えた記憶装置を提供することにある。

【0017】

【課題を解決するための手段】

本発明に係るメモリセルは、可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えることを特徴とする。

【 0 0 1 8 】

本発明に係るメモリセルにおいては、前記電流制御素子は電界効果トランジスタであることを特徴とする。

【 0 0 1 9 】

本発明に係るメモリセルにおいては、前記電流制御素子はダイオードであることを特徴とする。

【 0 0 2 0 】

本発明に係るメモリセルにおいては、前記電流制御素子はバイポーラトランジスタであることを特徴とする。

【 0 0 2 1 】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御する電界効果トランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記電界効果トランジスタのゲートをロー方向において共通に接続するワード線と、前記電界効果トランジスタのソースをロー方向において共通に接続するソースドライブ線と、可変抵抗素子の1端をコラム方向において共通に接続するビット線とを備え、前記電界効果トランジスタのドレインと前記可変抵抗素子の他端とを接続してあることを特徴とする。

【 0 0 2 2 】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御するダイオードにより構成されるメモリセルをマトリクス状に配置してあり、前記ダイオードのアノードをロー方向に共通に接続するワード線と、前記ダイオードのカソードを前記可変抵抗素子の1端に接続し、可変抵抗素子の他端をコラム方向に共通に接続するビット線とを備えることを特徴とする。

【 0 0 2 3 】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御するバイポーラトランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記バイポーラトランジスタのコレクタを共通に接続する共通接続

部と、前記バイポーラトランジスタのベースをロー方向において共通に接続するワード線と、可変抵抗素子の1端をコラム方向において共通に接続するビット線とを備え、前記バイポーラトランジスタのエミッタと前記可変抵抗素子の他端とを接続してあることを特徴とする。

【0024】

本発明に係る記憶装置においては、前記ワード線はワード線を選択するためのローデコーダに接続され、前記ビット線はビット線を選択するためのコラムデコーダに接続され、該コラムデコーダには前記メモリセルのメモリ情報を読み出すための読み出し用回路が接続されていることを特徴とする。

【0025】

本発明においては、可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子により、メモリセルを構成したので簡易な構造のメモリセルが可能になり、大容量に適したメモリセルが可能となる。

【0026】

本発明においては、可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子により構成されるメモリセルをマトリクス状に配置してメモリアレイとし、コラムデコーダ等の周辺回路をメモリアレイと一体化したので、大容量メモリに適した記憶装置が可能となる。

【0027】

【発明の実施の形態】

以下、本発明の半導体装置について図を用いて詳細に説明する。なお、本発明では、上述したように低電圧パルスで抵抗値が2桁程度変化するCMR材料（例えばPCMO）薄膜を用い、メモリセル及びメモリアレイを構成し、また、そのメモリセル、メモリアレイに対する書き込み動作、読み出し動作、リセット動作を実現する具体的なメモリ周辺回路を示す。

【0028】

上記に示した特性を有する薄膜材料（例えばPCMO。 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ ）等によって可変抵抗素子を作成し、この可変抵抗素子と可変抵抗素子を流れる電流を制御する電流制御素子とによりメモリセルを構成する。

【 0 0 2 9 】

<実施の形態 1>

図 1 は本発明に係るメモリアレイの構成を示す説明図である。同図 (a) は回路図を、(b) は同回路図のレイアウトパターンの概略平面図を、(c) は (b) の矢符 b b における概略断面図を示す。なお (c) において断面を表す斜線は省略する (他の断面についても同様である)。

【 0 0 3 0 】

MC はメモリセル (以下、単にセルということもある) を示し、電流制御素子 Q_c 及び可変抵抗素子 R_c の組み合わせにより構成される。電流制御素子 Q_c として電界効果トランジスタ (FET、以下 T_r ともいう) を使用する (以下、電界効果トランジスタにより構成される電流制御素子 Q_c を $T_r Q_c$ ともいう)。 $T_r Q_c$ は可変抵抗素子 R_c に流れる電流を制御するように可変抵抗素子 R_c の電流路に直列に接続される。このメモリセル MC は 1 個の電流制御素子 (電界効果「トランジスタ」) Q_c と 1 個の可変抵抗素子 (Resistor) R_c との組み合わせであるから 1 T 1 R 型 (メモリセル) という。

【 0 0 3 1 】

メモリセル MC をマトリックス状に 2×2 個配置してメモリアレイとした状態を示す。 $T_r Q_c$ のゲートをロー方向において共通に接続してワード線 W_1 、 W_2 を構成し、 $T_r Q_c$ のソースをロー方向において共通に接続してソースドライブ線 SD を構成する。 $T_r Q_c$ のドレインを可変抵抗素子 R_c の一方の端子に接続し、可変抵抗素子 R_c の他方の端子をコラム方向において共通に接続してビット線 B_1 、 B_2 を構成し、メモリアレイを形成する。

【 0 0 3 2 】

ソースドライブ線 SD を 5 V、ワード線 W_1 を 0 V、ワード線 W_2 を 5 V、ビット線 B_1 を 5 V、ビット線 B_2 を 0 V に設定すると矢符 A で示すように電流路が形成され、可変抵抗素子 R_c の両端に電位差が発生することによって抵抗値を変更できる。ソースドライブ線 SD は P N 層 (拡散層)、ワード線 W_1 、 W_2 は G P 線 (ポリシリコン配線)、ビット線 B_1 、 B_2 は G P 線 (ポリシリコン配線) またはメタル線により形成する。可変抵抗素子 R_c は P C M O 膜により構成し

てTrQcのドレイン上部に配置し、PCMO膜の上部にビット線B1、B2を配置する。なお、PCMO膜とビット線B1、B2との接続部、PCMO膜とTrQcとの接続部にはコンタクト金属が形成される。コンタクト金属としては例えば、白金(Pt)、イリジウムなどを用いることが可能である。

【0033】

また、ワード線W1、W2は図示しないローデコーダに接続され、ローデコーダにより適宜ワード線W1、W2に信号が印加され、ワード線W1、W2の選択がなされる。ビット線B1、B2は図示しないコラムデコーダに接続され、コラムデコーダにより適宜ビット線B1、B2に信号が印加され、ビット線B1、B2の選択がなされる。

【0034】

以下メモリアレイの動作方法について説明する。メモリアレイが非アクティブ時（プリチャージ状態）の場合には、全ビット線B1、B2に0V（GNDレベル）、全ワード線W1、W2に0Vを印加する。また、各メモリセル内のTrQcにソース電圧を供給する全てのソースドライブ線SDにも0Vを供給する。

【0035】

（書き込み動作）

図2、図3は本発明に係るメモリセルへの書き込み動作を説明する回路図である。図2はメモリアレイの領域を、図3はコラムデコーダ回路を示し、図2のビット線B2、B4、B6、B8は延長して図3のビット線B2、B4、B6、B8に接続される。

【0036】

メモリアレイはメモリセルMCを8×4個配置して構成される。図1と同様にして、ビット線B1～B8、ワード線W1～W4、ソースドライブ線SD1、SD2が形成される。ソースドライブ線SD1、SD2はソース電圧印加用ドライバSDC1、SDC2へそれぞれ接続される。

【0037】

コラムデコーダ回路CDは、TrE0、E1、E2、E3のTr群及びTrF0、F1、F2、F3の選択トランジスタ群等で構成される。TrE0、E1、

E2、E3は、一方の端子をビット線B2、B4、B6、B8に接続され、他方の端子を電位V_{dd}とした電位線CDBHに接続される。TrF0、F1、F2、F3は、一方の端子をビット線B2、B4、B6、B8に接続され、他方の端子をTrQ_{cd}を介して電位0Vとされる電位線CDBLに接続される。ビット線B1、B3、B5、B7にも同様にコラムデコーダ回路CDが接続されることはいふまでもない。なお、TrE0、E1、E2、E3の制御及びTrF0、F1、F2、F3の制御はコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8により行う。また、TrE0、E1、E2、E3への入力の反転信号をTrF0、F1、F2、F3への入力として与える。

【0038】

選択されたメモリセルMC_aへの書き込み動作を実行する（メモリセルMC_a内の可変抵抗素子R_cの抵抗値を上昇させる）には、選択されたメモリセルMC_a内の可変抵抗素子R_cに接続されているビット線B2に0Vを印加する。その他のビット線B1、B3～B8にはV_{dd}（例えば3V。以下同様）を印加する。また、アクセスすべきメモリセルMC_aのTrQ_cのゲートに接続されたワード線W2に2V_{dd}+ΔV（6+1=7V）を印加し、メモリセルMC_aにおけるTrQ_cによる電圧降下を少なくしている。また、非選択メモリセルMCに接続されたワード線W1、W3、W4には0Vを印加してTrQ_cはオフとする。

【0039】

ソース電圧印加用ドライバSDC1を駆動（TrQ_{sd1}をオンしてV_{dd}を出力）することによってソースドライブ線SD1つまり選択メモリセルMC_aに接続したソースにはV_{dd}（3V）を印加する。また、非選択メモリセルMCに接続されたソースには、ソース電圧印加用ドライバSDC2をオフ（TrQ_{sd2}をオフしてV_{dd}を出力しない）することによって、電圧は印加されないようにする。

【0040】

この入力条件のもとでは、ソースドライブ線SD1から選択メモリセルMC_a内のTrQ_cを通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMC_a内の可変抵抗素子R_cに電圧を印加することがで

き、可変抵抗素子 R_c に書き込み動作（メモリセル内可変抵抗値の上昇）を実行することができる。即ち、選択メモリセル MC_a 内の可変抵抗素子 R_c の両端には V_{dd} （3 V）に近い電位差が確保されるため、可変抵抗素子 R_c の抵抗値は、数百 Ω から約 1 M Ω にまで上昇する。この一連の動作により、選択メモリセル MC_a のみに書き込みが行われることになる。

【0041】

この時、非選択メモリセル MC の可変抵抗素子 R_c の抵抗値が変動しないように、可変抵抗素子 R_c 間には電位差が生じないように配慮する必要がある。このために、コラムデコーダ CD 内の TrE_1 、 E_2 、 E_3 はコラムアドレス信号（線） CDS_4 （DISABLE）、 CDS_6 （DISABLE）、 CDS_8 （DISABLE）によりオンすることによって、ビット線 B_4 、 B_6 、 B_8 に V_{dd} （3 V）を印加する。一方、選択メモリセル MC_a に接続したビット線 B_2 に接続する TrE_0 は、入力されたコラムアドレス信号 CDS_2 （ENABLE）に基づいて、オフ状態となり、これに伴い選択 TrF_0 がオンして、矢符 A で示す電流経路を通じてビット線 B_2 の電位は電位線 $CDBL$ の電位 0 V になる。電位線 $CDBL$ の電位は $TrQcd$ をオンして供給する。なお、電位線 $CDBL$ の電位 0 V は $TrQcd$ へ印加される 0 V のパルスにより得られる。上記のように各電位を設定することにより、選択メモリセル MC_a に隣接するセルの誤書き込み（書き込みディスタ urb）を抑制することが可能となる。

【0042】

（リセット動作）

図 4、図 5 は本発明に係るメモリセルのリセット動作を説明する回路図である。図 4 はメモリアレイの領域を、図 5 はコラムデコーダ回路を示し、回路構成自体は図 2、図 3 の場合と同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0043】

選択されたメモリセル MC_a における可変抵抗素子 R_c の抵抗値をリセットするには、選択メモリセル MC_a の可変抵抗素子 R_c と接続されているビット線 B_2 に $2V_{dd}$ （6 V）を印加する。この $2V_{dd}$ （6 V）は電位線 $CDBL$ によ

り $TrF0$ を介して供給される。なお、電位線 $CDBL$ の電位はオンする $TrQc$ へ印加される $2Vdd$ のパルスにより得られる。また、選択メモリセル MCa の $TrQc$ のゲートに接続されたワード線 $W2$ に $2Vdd + \Delta V$ ($6 + 1 = 7$ V) を印加し、その他のワード線 $W1$ 、 $W3$ 、 $W4$ は非アクティブ状態からの 0 V 印加の状態を維持する。

【0044】

そして、選択メモリセル MCa の Tr のソースに接続されているソースドライブ線 $SD1$ にはソース電圧印加用ドライバ $SDC1$ を駆動 ($TrQsd1$ をオンして Vdd を出力) して Vdd (3 V) を印加する。また、選択されないビット線 $B1$ 、 $B3 \sim B8$ には Vdd を印加することによって、選択されないメモリセル MC 内の可変抵抗素子 Rc 間に電位差が生じないように対策を講じる。つまり、前述した説明と同様に、コラムデコーダ CD 内の $TrE1$ 、 $E2$ 、 $E3$ をコラムアドレス信号 (線) $CDS4$ 、 $CDS6$ 、 $CDS8$ によりオンすることによって、ビット線 $B4$ 、 $B6$ 、 $B8$ (図5) に電位線 $CDBH$ から Vdd (3 V) を印加する。一方、選択メモリセル MCa に接続したビット線 $B2$ に接続する $TrE0$ は、入力されたコラムアドレス信号 $CDS2$ に基づいて、オフ状態となり、これに伴い選択 $TrF0$ がオンする。これにより、矢符 A で示す電流経路を通じてビット線 $B2$ の電位は電位線 $CDBL$ の電位 $2Vdd$ に設定される。

【0045】

この入力条件の下では、ビット線 $B2$ から選択メモリセル MCa 内の $TrQc$ を通り、ソースドライブ線 $SD1$ に抜ける矢符 A で示す唯一の電流経路ができるため、選択メモリセル MCa 内の可変抵抗素子 Rc に電圧を印加することができ、可変抵抗素子 Rc のリセット動作 (抵抗値の低減) を実行することができる。そしてこのビット線 $B2$ から $2Vdd$ を印加することによって、可変抵抗素子 Rc の抵抗値は、約数百 Ω にまで低減する。この一連の動作により、選択メモリセル MCa のみに書き込みデータのリセット動作が行われることになる。

【0046】

(読み出し動作)

図6、図7、図8は本発明に係るメモリセルの読み出し動作を説明する回路図

である。図6はメモリアレイの領域、図7はコラムデコーダ回路、読み出し用回路の部分、図8はRef用セルアレイ、Ref用コラムデコーダ回路、読み出し用回路の部分を示し、図2乃至図5の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。読み出し用回路RCはマルチプレクサMPX、差動増幅器DIAP、読み出し用ショート回路SCRead等により構成される。

【0047】

このメモリアレイが非アクティブ時（プリチャージ状態）には、書き込み動作と同様に、全ビット線B1～B8を0V（GNDレベル）、全ワード線W1～W4を0Vに印加する。

【0048】

次いで、選択メモリセルMCaに接続されたソースドライブ線SD1に0Vを印加し、ビット線B2には $V_{dd}/2$ （1.5V）又は1.0Vを印加する。 $V_{dd}/2$ は $V_{dd}/2$ 作成回路J2により作成され、電位線CDBJ2を介して供給される。選択メモリセルMCaのTrQcのゲート部が接続されているワード線W2のみを $2V_{dd} + \Delta V$ （6+1=7V）に印加する。また、他のワード線W1、W3、W4にはプリチャージ状態からの0V印加を持続する。また、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8に基づいて、選択メモリセルMCaに接続されたビット線B2を除く他のビット線B4、B6、B8（図7）に対して0Vを供給する。0VはCDBJ1を介して供給される。このことによって、非選択メモリセルMCaの可変抵抗素子Rc間には、電位差が発生せず、抵抗値が変動しないように対策をとっている。

【0049】

入力されたコラムアドレス信号（線）CDS2（ENABLE）、CDS4（DISABLE）、CDS6（DISABLE）、CDS8（DISABLE）に基づいて、選択メモリセルMCaに接続されたビット線B2に接続したTrE0、TrG0のみがオフ状態となり、コラムデコーダCD内の他のTrE1、E2、E3、G1、G2、G3は全てオン状態となり、選択メモリセルMCaに接続されたビット線B2を除く他のビット線B4、B6、B8に対して電位線CD

B J 1 から 0 V を供給することが可能となる。

【0050】

また、入力されたコラムアドレス信号（線）CDS2（ENABLE）、CDS4（DISABLE）、CDS6（DISABLE）、CDS8（DISABLE）に基づいて、電位線CDBJ2に接続されるTrF0、F1、F2、F3の内、TrF0のみがオン状態となり、選択メモリセルMCaに接続されたビット線B2のみにVdd/2（1.5V）又は1.0Vが供給される。その結果、ソースドライブ線SD1から選択メモリセルMCa内のTrQcを通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路が形成され読み出し動作が実行される。

【0051】

なお、選択メモリセルMCaに隣接するメモリセルMCb、MCcについての読み出し時のディスターブ（ディスターブの抑制）について、以下に説明する。アクティブとなる読み出し用0Vドライブ回路RDC1に接続されたソースドライブ線SD1と接続されたメモリセルMCbにはコラムデコーダCDより0Vが供給されるため、メモリセルMCb内の可変抵抗素子Rc間には電位差が発生せず、抵抗値の変動は起こらない。また、メモリセルMCcでは、セル内のTrQcがオフとなり、メモリセルMCcの可変抵抗素子Rc間には電位差が発生せず、可変抵抗値の変動は起こらない。一方、その他のワード線に接続されたメモリセルでは、メモリセル内のTrがオフとなり、セル内の可変抵抗素子Rc間には電位差が発生しない。従って、アクセスされるセル以外のメモリセル内における可変抵抗素子Rcの抵抗値は変動することは無い。つまり、上記のように各電位を設定することにより、選択メモリセルMCaに隣接するメモリセルの誤読み出し（読み出しディスターブ）を抑制することが可能となる。

【0052】

なお、読み出し用の1.5V作成回路J2又は1.0V作成回路は、抵抗分割により1.5V（1.0V）基準電位を作成し、この信号を差動増幅器に入力し、電流増幅することにより、目的とする1.5V又は1.0Vを作成することができる。

【 0 0 5 3 】

また、読み出し動作において、図 6、図 7 に示すように、各ビットラインからの出力は、読み出し回路 RC 内のマルチプレクサ MPX に入力され、マルチプレクサ MPX の各出力値と Ref Level とを差動増幅器 DIAP で比較し、メモリセル MC に蓄積されたデータを 1 または 0 として識別する。

【 0 0 5 4 】

なお、上述したように、差動増幅器 DIAP の基準値となる Ref Level は Ref 用メモリセルアレイ Ref MCA と Ref 用コラムデコーダ Ref CD にて作成される。選択メモリセル MCa がアクセスされたときに、ソースドライブ線 SD1 がアクセスされ、また、ワード線 W2 がアクセスされることより、Ref Level 作成用のメモリセル Ref A0 とメモリセル Ref B0 も同時にアクセスされる（図 8 参照）。Ref 用コラムデコーダ Ref CD にて、Ref 用ビット線 C0 と Ref 用ビット線 C1 に電位線 CDBJ2 から $V_{dd}/2$ が供給されることにより、Ref 用ビット線 C0 と Ref 用ビット線 C1 には、メモリセル Ref A0 とメモリセル Ref B0 のデータが出力される。

【 0 0 5 5 】

Ref 用メモリセルアレイ Ref MCA の左半分には予め抵抗値を大に設定しておき、右半分には予め抵抗値を小に設定しておく。したがって、メモリセル Ref A0 から読み出された Ref 用ビット線 C0 は高レベルを示し、メモリセル Ref B0 から読み出された Ref 用ビット線 C1 は低レベルを示す。読み出し用回路 RC 内の読み出し用ショート回路 SCRead において Ref 用ビット線 C0 の信号と Ref 用ビット線 C1 の信号とをショートすることにより、これらの信号の中間値が得られる。このレベルを読み出し用回路 RC 内の差動増幅器 DIAP の Ref Level として入力する。Ref Level とマルチプレクサ MPX からの出力の読み出しデータとを差動増幅器 DIAP により比較して、メモリセル MC に蓄積されたデータが 1 か 0 かを識別し、読み出し動作が実行される。

【 0 0 5 6 】

図 9、図 10、図 11 は本発明に係るメモリセルの周辺回路の配置を示す回路

図である。メモリセルMCに対して書き込み動作、リセット動作、読み出し動作を行う場合に必要な各種ドライバの配置を示す。図9はソースドライバK1、メモリアレイを、図10はコラムデコーダ回路CD、読み出し用回路RCを、図11はRef用メモリセルアレイRefMCA、Ref用コラムデコーダ回路RefCD、アクセスビット線電位供給用ドライバK2、ソースドライバK1Pを示し、図2乃至図8の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0057】

ソースドライバK1、K2は、ソースドライブ線SD1、SD2をそれぞれ駆動する。ソースドライブ線SD1、SD2は書き込み時V_{dd}に、リセット時V_{dd}に、読み出し時0Vに設定される。

【0058】

アクセスビット線電位供給用ドライバK2は、電位線CDBK2を介して選択されたビット線（例えば、ビット線B2）に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK2は書き込み時0V、リセット時2V_{dd}、読み出し時V_{dd}/2に設定される。例えば、選択メモリセルMCaをアクセスするには、書き込み動作の場合にはビット線B2に0Vを供給する必要があり、この0V供給は、アクセスビット線電位供給用ドライバK2にて発生させる。

【0059】

ソースドライバK1Pは、電位線CDBK1Pを介して選択されたビット線に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK1Pは書き込み時V_{dd}に、リセット時V_{dd}に、読み出し時0Vに設定される。

【0060】

図12はアクセスビット線電位供給用ドライバの一例を示す説明図である。同図(a)は回路図を、(b)はタイミングチャートを示す。書き込み動作時はWriteサイクルとして、アクセスビット線ドライバ出力を0Vにし、このときには、リセット動作用ドライバ、及び読み出し動作用ドライバの出力はフローテ

イング状態となる。つまり、書き込み動作時には、(b)のタイミングチャートに示すように、EW信号がハイレベルとなる。そこで、(a)に示すEWを遅延させた信号Ewdはハイレベルとなる。従って、ライトドライバがイネーブルとなり、アクセスビット線電位供給用ドライバからは0Vが供給される。この時、読み出し動作時アクティブとなるER信号や、リセット動作時アクティブとなるERST信号はタイミングチャートに示すようにローレベルである。この場合、ERST信号の遅延信号ERSTdはローレベルであり、ERSTdb信号はハイレベルであるために、リセットドライバの出力はフローティング状態となる。

【0061】

また、ER信号はローレベルであるために、リードドライバの出力はフローティング状態となる。同様にリセット動作時には6Vを供給し、書き込み用ライトドライバ及び読み出し動作用リードドライバの出力はフローティング状態となる。また、読み出し動作時には、選択されたセルのビット線に書きこみ動作と同様に0Vとし、書き込み動作用ライトドライバ及びリセット動作用リセットドライバの出力はフローティング状態となる。

【0062】

図13はソース電圧印加用ドライバ及びビット線電位供給用ドライバの一例を示す回路図である。ソース電圧印加用ドライバK1は、書き込み時、リセット動作時及び読み出し動作時には、選択メモリセルMCaに接続されたソース線に対して、Vdd電位を供給する。また、書き込み動作時、リセット動作時、及び読み出し動作時には、選択されない全ビット線に対して3Vを供給するものである。

【0063】

図14、図15はリセット動作を行う別のアクセス方法を説明する回路図である。図2乃至図11の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

(他のリセット動作の説明)

選択されたメモリセルMCaにおける可変抵抗素子Rcの抵抗値をリセットするには、選択メモリセルMCaの可変抵抗と接続されているビット線B2にVd

d (3 V) を印加する。また、選択メモリセルMC a のTr Q c のゲートに接続されたワード線W 2 に $V_{dd} + \Delta V$ ($3 + 1 = 4$ V) を印加し、その他のワード線W 1、W 2、W 4 は非アクティブ状態からの0 V印加の状態を維持する。そして、選択するメモリセルのTr Q c のソースに接続されているソースドライブ線SD 1 には0 Vを印加する。

【0 0 6 4】

また、非選択のビット線B 1、B 3 ~ B 8 には0 Vを印加することによって、非選択メモリセルMC 内の可変抵抗素子R c 間に電位差が生じないように対策を講じる。これは、前述した抵抗値リセット動作にて説明したように、コラムデコーダCD 内のTr E 1、E 2、E 3 をコラムアドレス信号(線)CDS 4、CDS 6、CDS 8 によりオンすることによって、ビット線B 4、B 6、B 8 (図1 5) に電位線CDB H の0 Vを印加する。一方、選択メモリセルMC a に接続したビット線B 2 に接続するTr E 0 は、入力されたコラムアドレス信号CDS 2 に基づいて、オフ状態となり、これに伴い選択Tr F 0 がオンする。これにより、矢符Aで示す電流経路を通じてビット線B 2 の電位は電位線CDB L の電位V d d に設定される。

【0 0 6 5】

この入力条件の基では、ビット線B 2 から選択メモリセルMC a 内のTr Q c を通り、ソースドライブ線SD 1 に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMC a 内の可変抵抗素子R c に電圧を印加することができ、可変抵抗素子R c のリセット動作(抵抗値の低減)を実行することができる。そしてこのビット線B 2 からV d d を印加することによって、可変抵抗素子R c の抵抗値は、約数百 Ω にまで低減する。この一連の動作により、選択メモリセルMC a のみに書き込みデータのリセット動作が行われることになる。この場合、先のリセット動作の実施例に比べ、2 V c c を供給するための高電圧作成回路(昇圧回路)を省略することが可能となる。読み出し方式は前述と同様の手法である。

【0 0 6 6】

図1 6、図1 7、図1 8 は書き込み動作、リセット動作、読み出し動作を示す

ブロック図である。図16はソースドライバK1、メモリアレイを、図17はコラムデコーダ回路CD、読み出し用回路RCを、図18はRef用メモリセルアレイRefMCA、Ref用カラムデコーダ回路RefCD、アクセスビット線電位供給用ドライバK2、ソースドライバK1Pを示し、図2乃至図11、図14、図15の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0067】

ソースドライバK1は、ソースドライブ線SD1、SD2をそれぞれ駆動する。ソースドライブ線SD1、SD2は書き込み時Vccに、リセット時0Vに、読み出し時0Vに設定される。

【0068】

アクセスビット線電位供給用ドライバK2は、電位線CDBK2を介して選択されたビット線（例えば、ビット線B2）に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK2は書き込み時0Vパルス、リセット時Vcc、読み出し時Vdd/2に設定される。

【0069】

ソースドライバK1Pは、電位線CDBK1Pを介して選択されたビット線（例えば、ビット線B2）に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK1Pは書き込み時Vccに、リセット時0Vに、読み出し時0Vに設定される。

【0070】

最初、可変抵抗値が相対的に大きい場合は、上述した書き込み動作を初めて実行したときに可変抵抗値が低減される。また、可変抵抗値が相対的に小さい場合には、上述したリセット動作を初めて実行したときに可変抵抗値が上昇する。このように、可変抵抗値の初期値の大小に依存して、可変抵抗値が上昇または低減する。つまり、最初に可変抵抗値が大であれば、初めて実行した動作が上述した書き込み動作、リセット動作どちらの場合にも可変抵抗値が小に低減される。また、最初に可変抵抗値が小であれば、初めて実行した動作が上述した書き込み動作、リセット動作のどちらの場合にも可変抵抗値は大に上昇する。

【 0 0 7 1 】

図 1 9 は本発明に係るメモリセルの周辺回路の配置を示すブロック図である。

1 T 1 R 型のメモリセルがマトリクス状に配置されたメモリアレイ M A と、メモリアレイ M A のソースドライブ線 (S D 1 ~) に電位を与えるローデコーダ回路 R D と、ビット線 (B 1 ~) に電位を与えるコラムデコーダ回路 C D と、コラムデコーダ回路 C D からの出力をマルチプレクサ M P X 及び読み出し用 R e f L e v e l を参照信号とする差動増幅器 D I A P を介して出力する読み出し回路 R C からなり、昇圧回路を必要としない記憶装置である。ローデコーダ回路 R D には R e f レベル作成用アレイ、ソースドライバ K 1 が接続され、ソースドライバ K 1 には例えば 1 . 5 V 作成回路が接続される。コラムデコーダ回路 C D にはアクセスビット線電位供給用ドライバ K 2、ソースドライバ K 1 P、R e f 用コラムデコーダ回路 R e f C D が接続される。

【 0 0 7 2 】

図 2 0 は比較のために示すフラッシュメモリの周辺回路の配置を示すブロック図である。このブロック図では従来技術の一例として、フラッシュメモリが必要とする昇圧回路 L U C や、ベリファイ回路 V F C を付加した状態を示す。従来のフラッシュメモリでは、書き込み動作時に約 1 0 V 程の高電圧をメモリセルのゲート電極に印加する必要がある。また、書き込みデータのイレーズ (リセット) 動作時には、メモリセルのゲート電極に、- 9 V 程の負電圧を供給する必要がある。従って、図 2 0 に示すブロック図では、ソース (電圧印加用) ドライバ K 1 に昇圧回路 L U C を設けて、書き込み動作時には約 1 0 V、イレーズ動作時には、約 - 9 V を供給する必要があった。

【 0 0 7 3 】

それに比べ、ペロブスカイト構造を使用した本発明に係る 1 T 1 R 型のメモリセルでは、電源電圧が 2 ~ 5 V 程度の低電圧にて書き込み動作、リセット動作、読み出し動作が可能となることから、図 1 9 に示すように、従来必要とした昇圧回路 L U C を削除することができ、周辺回路の簡素化、低消費電力化が図れる。更に、ペロブスカイト構造を使用した本発明に係る 1 T 1 R 型のメモリセルでは、図 1 9 に示す様に、ベリファイ動作が不要であることからベリファイ回路 V F

Cが不要になる。

【0074】

従来のフラッシュメモリでは、書き込み動作後、選択されたメモリセルに所望のスレッシュホールド電圧が書き込まれているかを、判断するために、選択されたメモリセルのデータを読み出し回路で読み出し動作を実行し、正しいデータが書き込まれているかを判断する必要がある（ベリファイ動作）。そのために、書き込み動作の後に必ず、ベリファイ動作を実行する必要があるため、書き込み動作が極端に遅くなる。ベリファイ動作後、書き込みデータが正しくない場合には、再度書き込み動作、ベリファイ動作を実行する必要があるため、書き込み動作が極端に遅くなる。ベリファイ動作後、書き込みデータが正しくない場合には、再度書き込み動作、ベリファイ動作を実行する必要があるため、書き込み動作が極端に遅くなる。

【0075】

しかし、ペロブスカイト構造を使用した本発明に係る1T1R型のメモリセルでは、1サイクルの書き込み動作、及びリセット動作にて、メモリセル内の抵抗値が変化し、しかも、安定した変化を達成することが可能なために、ベリファイ動作が不要となる。つまり、ベリファイ動作が不要な分だけ、書き込み動作、リセット動作に要する時間を大幅に短縮することができる。

【0076】

<実施の形態2>

実施の形態2におけるメモリセルは、薄膜材料PCMO等を可変抵抗素子として用い、電流制御素子として実施の形態1におけるFETに変え、PN接合ダイオード（以下ダイオードという）を使用したものである。図21は本発明に係るメモリアレイの構成を示す説明図である。同図（a）は概略平面図を、（b）は（a）の矢符bbにおける概略断面図を、（c）は（a）の矢符ccにおける概略断面図を示す。

【0077】

ワード線W1～W5とビット線B1～B5との交点にダイオード及び可変抵抗素子の直列構成からなるメモリセルを作成することによって、大幅な微細化が可能となる。各ワード線W1～W5はダイオードのアノードをロー方向に共通に接続している。ダイオードのカソードは可変抵抗素子の1端に接続され、可変抵抗素子の他の端子はコラム方向に共通に接続され各ビット線B1～B5に接続され

る。このように接続することによりメモリアレイが構成される。図においては、ワード線W2とビット線B4との交点（実線に重ねて破線で幅を示す）にあるメモリセルをアクセスメモリセルKとして示している。ここでは $5 \times 5 = 25$ のメモリセルが形成されている。このメモリセルは1個のダイオード（D i o d e）と1個の可変抵抗素子（R e s i s t o r）との組み合わせであるから1D1R型（メモリセル）という。また、参考に書き込み動作時、リセット動作時におけるワード線W1～W5、ビット線B1～B5への印加電圧を電圧値で表示している。

【0078】

ワード線W1～W5、ビット線B1～B5は通常ポリシリコンにより構成される。（b）においては、各ワード線W1～W5から各ダイオードのPN接合を通り、PCMOにより作成された可変抵抗素子を通りビット線B4に抜ける電流経路が形成される。（c）においては、ワード線W2から各ダイオードのPN接合を通り、PCMOにより作成された可変抵抗素子を通り各ビット線B1～B5に抜ける電流経路が形成される。なお、PCMO膜とビット線B1～B5との接続部、PCMO膜とダイオードとの接続部にはコンタクト金属が形成される。コンタクト金属としては例えば、白金（P t）、イリジウムなどを用いることが可能である。

【0079】

このように構成したメモリアレイの動作方法について説明する。

（書きこみ動作）

図22、図23は本発明に係るメモリセルへの書き込み動作を説明する回路図である。本発明に係る可変抵抗素子へのデータの書き込みは、可変抵抗素子間に2Vを与えれば書き込み動作が可能である。また、ダイオードの逆方向耐圧は2Vのものをを用いた場合について以下に説明する。このメモリアレイが非アクティブ時（プリチャージ状態）には、全ビット線B1～B8を0V、全ワード線W1～W6を0Vに印加する。選択されたメモリセルMCaへの書き込み動作を実行する（選択メモリセルMCa内の可変抵抗素子の抵抗値を上昇させる）には、選択メモリセルMCa内の可変抵抗素子に接続されているビット線B2に2Vを印

加し、その他のビット線B1、B3～B8には0Vを印加する。また、選択メモリセルMCaのダイオードに接続されたワード線W2には-2Vを印加する。その他のワード線W1、W3～W6には0Vを印加する。各ワード線W1～W6はワード電圧印加用ドライバWDC1～WDC6（部分のみ図示）により電位を確定する。

【0080】

この入力条件の下では、図22に示すように、ビット線B2から選択メモリセルMCa内の可変抵抗素子及びダイオード（逆方向電圧が印加されている）を通り、矢符Aで示すワード電圧印加用ドライバWDC2に抜ける唯一の電流経路ができるため、選択メモリセルMCa内の可変抵抗素子に電圧を印加することができ、可変抵抗素子に書き込み動作（メモリセル内可変抵抗値の上昇）を実行することができる。

【0081】

そしてこの条件の下で、選択メモリセルMCaに接続したビット線B2から2Vを印加し、選択されたメモリセルに接続したワード線W2には-2Vを印加することによって、可変抵抗値は、約1MΩにまで上昇する。この一連の動作により、選択されたメモリセルのみに書き込みが行われることになる。

【0082】

また、選択メモリセルMCa内の可変抵抗素子以外の可変抵抗素子の抵抗値が変動しないように、選択メモリセルMCa内の可変抵抗素子以外の可変抵抗素子間には電位差が生じないように、配慮する必要がある。

【0083】

このために、図23中のコラムデコーダCD内のTrE1、E2、E3がすべてONすることによって、選択されないビット線B4、B6、B8（図23）には0Vを印加することができる。また、選択メモリセルMCaに接続したビット線B2を選択するTrE0のみ、入力されたコラムアドレス（コラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8）に基づいて、オフ状態となり、これに伴いビット線B2（C）に2Vを供給するTrF0がオンすることになる。その他の2V供給用TrF1、F2、F3はオフ状態となり、他のビット

線 B 4、B 6、B 8 には 2 V は供給されない。従って、選択メモリセル MC a の両端には 4 V の電位差が発生することになるが、今ダイオードの逆方向の耐圧（ブレイクダウン電圧）を 2 V としているために、選択メモリセル MC a 内の可変抵抗素子の端子間には 2 V が供給される。そして、この条件の下で可変抵抗値は、約 1 MΩ にまで上昇する。

【 0 0 8 4 】

なお、Tr E 0、E 1、E 2、E 3、F 0、F 1、F 2、F 3 の制御はコラムアドレス信号（線）CDS 2、CDS 4、CDS 6、CDS 8 によりなされることは実施の形態 1 の場合と全く同様であり、詳細な説明は省略する。

【 0 0 8 5 】

（リセット動作）

図 2 4、図 2 5 は本発明に係るメモリセルへのリセット動作を説明する回路図である。選択メモリセル MC a 内の可変抵抗素子の抵抗値をリセットするには、選択メモリセル MC a 内のダイオードと接続されているワード線 W 2 に 4.5 V を印加する。また、選択されない他のワード線 W 1、W 3～W 6 には 2 V を印加する。各ワード線 W 1～W 6 への電圧の供給はワード電圧印加用ドライバ WDC 1～WDC 6（一部のみ図示）により供給される。そして、選択メモリセル MC a 内の可変抵抗素子に接続されているビット線 B 2 には 2 V の印加状態を維持する。その他のビット線 B 1、B 3～B 8 には 4 V を印加することによって、非選択メモリセル MC 内のダイオードには逆方向に 2 V の電位差が発生するが、逆方向ブレイクダウン電圧が 2 V 以上であるため電流は流れない。前述した抵抗値リセット動作にて説明したように、コラムデコーダ CD 内の Tr E 1、E 2、E 3 がオンすることによって、4 V が選択ビット線 B 2 以外のビット線 B 4、B 6、B 8（図 2 5）に供給される。また、入力されたコラムアドレス信号（線）CDS 2、CDS 4、CDS 6、CDS 8 に基づいて、選択メモリセル MC a に接続したビット線 B 2 を選択する Tr E 0 のみオフ状態になり、これに伴いビット線 B 2 に 2 V を供給する Tr F 0 がオンすることになる。

【 0 0 8 6 】

この入力条件の下では、ワード線 W 2 から選択メモリセル MC a 内のダイオー

ドと可変抵抗素子を通り、ビット線B 2に抜ける矢符Aで示す唯一の電流経路ができるため、メモリセルA内の可変抵抗素子の端子間に2 V以上の電位差を発生させることが可能となり、可変抵抗素子におけるリセット動作（抵抗値の低減）を実行することができる。そしてこのワード線W 2から4. 5 Vを印加することによって、可変抵抗素子の端子間には、約2 Vの電位差（順方向電圧のV_f分を差し引いて約2 Vとなる。）が発生するために、可変抵抗素子の抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMC aのみに書き込み情報（データ）のリセット動作が行われることになる。

【 0 0 8 7 】

最初、可変抵抗値が相対的に大きい場合は、上述した書き込み動作を初めて実行したときに可変抵抗値が低減される。また、可変抵抗値が相対的に小さい場合には、上述したリセット動作を初めて実行したときに可変抵抗値が上昇する。このように、可変抵抗値の初期値の大小に依存して、可変抵抗値が上昇または低減する。つまり、最初に可変抵抗値が大であれば、初めて実行した動作が上述した書き込み動作、リセット動作どちらの場合にも可変抵抗値が小に低減される。また、最初に可変抵抗値が小であれば、初めて実行した動作が上述した書き込み動作、リセット動作のどちらの場合にも可変抵抗値は大に上昇する。

【 0 0 8 8 】

（読み出し動作）

図2 6、図2 7、図2 8は本発明に係るメモリセルの読み出し動作を説明する回路図である。このメモリアレイが非アクティブ時（プリチャージ状態）には、書き込み動作と同様に、全ビット線B 1～B 8を0 V（GNDレベル）、全ワード線W 1～W 6に0 Vを印加する。選択メモリセルMC aに接続されたワード線W 2に2 Vを印加し、ビット線B 2には0 Vを印加する。また、他のワード線W 1、W 3～W 6にはプリチャージ状態からの0 V印加を持続する。また、入力されたコラムアドレス信号（線）CDS 2、CDS 4、CDS 6、CDS 8に基づいて、選択メモリセルMC aに接続されたビット線B 2を除く他のビット線B 4、B 6、B 8（図2 7）に対して2 Vを供給する。これにより、選択メモリセルMC a内の可変抵抗素子を除く他の可変抵抗素子間には、電位差が発生せず、抵

抗値が変動しないように対策をとっている。

【 0 0 8 9 】

なお、ワード線W1～W6に対応してドレイン電流印加用ドライバのほかに、2V作成回路J1、図示していないが、読み出し用1.5Vドライブ回路（非アクティブ時G1）、読み出し用1.5Vドライブ回路（非アクティブ時G2）等が配置される。

【 0 0 9 0 】

これは、図27に示すように、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8にもとづいて、選択メモリセルMCaに接続されたビット線B2に接続したTrE0のみがオフ状態となり、コラムデコーダCD内の他のTrE1、E2、E3は全てオン状態となることによって、2V作成回路にて作成された2Vを選択メモリセルMCaに接続されたビット線B2を除く他のビット線B4、B6、B8に対して供給することが可能となる。また、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8にもとづいて、ビット線B2に0Vを供給するTrF0のみがオン状態となり、選択メモリセルMCaに接続されたビット線B2のみに、0Vが供給される。その結果、図24に示すように、ワード線W2から選択メモリセルMCa内のダイオード及び可変抵抗素子を通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路が作成され読み出し動作が実行される。

【 0 0 9 1 】

なお、図26、図27に示す様にアクティブとなる読み出し用2Vドライブ回路に接続されたワード線W2と接続されたメモリセルMCbにはコラムデコーダCDのTrE1より2Vが供給されるため、メモリセルMCb内の可変抵抗素子の端子間には電位差が発生せず、抵抗値の変動は起こらない。また、メモリセルMCcでは、メモリセルMCc内のダイオードに接続されたワード線W1の電位が0Vであり、ビット線B2の電位が0Vとなり、電流経路が作成されないため、抵抗値の変動は起こらない。従って、アクセスされる選択メモリセルMCa以外のメモリセル内の可変抵抗素子の抵抗値は変動することは無い。

【 0 0 9 2 】

差動増幅器D I A Pの基準値となるR e f L e v e lはR e f用メモリセルアレイR e f M C AとR e f用カラムデコーダ回路R e f C Dにて作成される。これは選択メモリセルM C aがアクセスされたときに、R e f L e v e l作成用のメモリセルR e f A 0とメモリセルR e f B 0も同時にアクセスされる。また、図28に示すようにR e f用カラムデコーダ回路R e f C DにてR e f用ビット線C 0とR e f用ビット線C 1に0 Vが供給されることにより、R e f用ビット線C 0とR e f用ビット線C 1には、メモリセルR e f A 0とメモリセルR e f B 0のデータが出力される。

【0093】

上述したようにR e f用メモリセルアレイR e f M C Aの左半分には予め抵抗値を大に設定しておき、右半分には予め抵抗値を小に設定しておく。したがって、メモリセルR e f A 0から読み出されたR e f用ビット線C 0は低レベルを示し、メモリセルR e f B 0から読み出されたR e f用ビット線C 1は高レベルを示す。読み出し用回路R C内の読み出し用ショート回路S C R e a dにおいてR e f用ビット線C 0の信号とR e f用ビット線C 1の信号とをショートすることにより、これらの信号の中間値が得られる。このレベルを読み出し用回路R C内の差動増幅器D I A PのR e f L e v e lとして入力する。R e f L e v e lとマルチプレクサM P Xからの出力の読み出しデータとを差動増幅器D I A Pにより比較して、メモリセルM Cに蓄積されたデータが1か0かを識別し、読み出し動作が実行される。

【0094】

<実施の形態3>

実施の形態1においては電流制御素子としてF E Tを用いた場合を示し、実施の形態2においては電流制御素子としてダイオードを用いた場合を示した。実施の形態3においては電流制御素子としてF E Tに替えてバイポーラトランジスタ（以下、B P Tともいう）を用いた場合を示す。

【0095】

図35は本発明に係るメモリアレイの構成を示す説明図である。メモリセルM Cをマトリックス状に2×2個配置してメモリアレイとした状態を示す。メモリ

セルMCは、電流制御素子 Q_c 及び可変抵抗素子 R_c の組み合わせにより構成される。電流制御素子 Q_c はBPTにより構成される（以下、BPTにより構成される電流制御素子 Q_c をBPT Q_c ともいう）。BPT Q_c は可変抵抗素子 R_c に流れる電流を制御するように可変抵抗素子 R_c の電流路に直列に接続される。このメモリセルMCは1個の電流制御素子（バイポーラ「トランジスタ」） Q_c と1個の可変抵抗素子（Resistor） R_c との組み合わせであるから1T1R型（メモリセル）という。

【0096】

BPT Q_c のコレクタを共通接続部 V_s に共通に接続し、BPT Q_c のベースをロー方向において共通に接続してワード線 W_1 、 W_2 を構成する。BPT Q_c のエミッタを可変抵抗素子 R_c の一方の端子に接続し、可変抵抗素子 R_c の他方の端子をコラム方向に共通に接続してビット線 B_1 、 B_2 を構成し、メモリアレイを形成する。なお、共通電位部 V_s はマトリックスの領域を適宜グループ分けして、各グループ毎に電位を設定するようにしても良い。BPTはPNPトランジスタとしているがNPNトランジスタとすることも可能である。また、BPTは優れた電流制御性を有することから、正確な抵抗制御が可能となり、信頼性の高い記憶装置を実現できる。

【0097】

例えばビット線 B_2 とワード線 W_1 との交点にあるメモリセルMCaを選択する場合を例に、各動作モードにおける印加電圧の例を以下に示す。印加電圧は基本的にはダイオードを用いた実施の形態2の場合と同様である。NPNトランジスタとした場合には適宜バイアス極性などを変更する必要がある。なお、基本的な動作は実施の形態1、実施の形態2において説明した内容と同様であり詳細な説明は省略する。また、共通電位部 V_s は接地電位（0V）とした。

【0098】

（書き込み動作）

選択ビット線 B_2 に書き込み電圧として例えば5Vを印加する。選択ワード線 W_1 は0Vとして、BPT Q_c のエミッタ・ベース間に順方向のバイアスを印加し、可変抵抗素子 R_c に書き込み用の電流が流れるようにする。なお、非選択ビ

ット線B 1は0 Vとし、非選択ワード線W 2は書き込み電圧と同一の5 Vにして非選択メモリセルでのリーク電流の発生を防止し、リーク電流による書き込みデイスターブを防止する。

【0 0 9 9】

(リセット動作)

選択ビット線B 2にはリセット電圧として適宜の電圧を印加する。選択ワード線W 1は0 Vとして、B P T Q cのエミッタ・ベース間に順方向のバイアスを印加し、可変抵抗素子R cにリセット用の電流が流れるようにする。なお、非選択ビット線B 1は0 Vとし、非選択ワード線W 2はリセット電圧と同一の電圧にして非選択メモリセルでのリーク電流の発生を防止し、リーク電流によるリセットデイスターブを防止する。

【0 1 0 0】

(読み出し動作)

選択ビット線B 2には読み出し電圧として例えば2～3 Vを印加する。選択ワード線W 1は0 Vとして、B P T Q cのエミッタ・ベース間に順方向のバイアスを印加し、可変抵抗素子R cに読み出し用の電流が流れるようにする。なお、非選択ビット線B 1は0 Vとし、非選択ワード線W 2は読み出し電圧と同一またはそれ以上の電圧にして非選択メモリセルでのリーク電流の発生を防止し、リーク電流による読み出しデイスターブを防止する。

【0 1 0 1】

図3 6は本発明に係るメモリアレイの構造を模式的に示す説明図である。同図(a)は図3 5に示したメモリアレイの平面模式図であり同一部分には同一の符号を付している。(b)は(a)における矢符b bにおける概略断面図、(c)は(a)における矢符c cにおける概略断面図である。(a)において、ワード線W 1、W 2が適宜の間隔をおいてロー方向に平行に形成され、それと交差するコラム方向にビット線B 1、B 2が適宜の間隔をおいて形成される。ワード線W 1、W 2とビット線B 1、B 2との各交差点においてメモリセルMCが構成される。各メモリセルMCにおいて、基板(不図示)側に形成されたワード線W 1、W 2とその上方に形成されたビット線B 1、B 2とが重畳する部分に可変抵抗素

子 R_c が積層して形成される。

【0102】

図36 (b) において、基板状の領域として構成された $BPTQ_c$ のコレクタ領域 $BPT-C$ の上部にワード線 W_2 が形成される。 $BPTQ_c$ はPNPトランジスタとしているから、コレクタ領域 $BPT-C$ はP型導電性を有し、例えばP型シリコン基板などにより構成される。基板状のコレクタ領域 $BPT-C$ は共通接続部として機能する。ワード線 W_2 及びベース領域 $BPT-B$ は、コレクタ領域 $BPT-C$ にN (N+) 型導電性の拡散層を形成することにより、構成される。なお、メモリセルMCにおいて、ワード線 W_2 は $BPTQ_c$ のベース領域 $BPT-B$ を兼ねる。 $BPTQ_c$ のエミッタ領域 $BPT-E$ は、ベース領域 $BPT-B$ にP (P+) 型導電性の拡散層を形成することにより、構成される。隣接するエミッタ領域 $BPT-E$ 相互間には絶縁層 STI (Shallow Trench Isolation) が適宜形成され、各エミッタ領域 $BPT-E$ BPT を相互に分離する。各エミッタ領域 $BPT-E$ とビット線 B_1 、 B_2 との間には可変抵抗素子 R_c が形成される。可変抵抗素子 R_c とエミッタ領域 $BPT-E$ との間、可変抵抗素子 R_c とビット線 B_1 、 B_2 との間にはコンタクト金属 M が形成される。コンタクト金属 M としては例えば、白金 (Pt)、イリジウムなどを用いることが可能である。隣接するメモリセルMC相互間には絶縁層 ISO (Isolation) が適宜形成され、各メモリセルMCを相互に分離している。図36 (c) においては、(b) でのワード線 W_2 に加えて、ワード線 W_1 も示される。その他の点は (b) と同様であり、詳細は省略する。

【0103】

上述したとおり、本発明に係るメモリセルは、基板状のコレクタ領域 $BPT-C$ への拡散層により形成したワード線をベース領域 $BPT-B$ に兼用でき、さらに、ベース領域 $BPT-B$ への拡散層によりエミッタ領域 $BPT-E$ を形成することから、基板状のコレクタ領域 $BPT-C$ に対してベース領域 $BPT-B$ 、エミッタ領域 $BPT-E$ を垂直方向に形成できる。また、エミッタ領域 $BPT-E$ に積層して可変抵抗素子を形成することから、横方向の寸法 (平面パターン形状) を極限まで縮小することが可能になり、大容量の記憶装置に適したメモリセル

を構成することができる。

【0104】

BPTQcをNPNトランジスタとした場合には、コレクタ領域BPT-CをN型、ベース領域BPT-BをP(P+)型、エミッタ領域BPT-EをN(N+)型とすれば良い。なお、P型シリコン基板の上にNPNトランジスタを構成することも可能である。

【0105】

図35、図36に記載したメモリセルに実施の形態1、実施の形態2における周辺回路と同様な周辺回路を接続して記憶装置を構成することができる。つまり、ワード線W1、W2にはワード線W1、W2を選択するためのローデコーダを接続し、ビット線B1、B2にはビット線B1、B2を選択するためのコラムデコーダを接続し、コラムデコーダにはメモリセルのメモリ情報を読み出すための読み出し用回路を接続する。これにより実施の形態1、実施の形態2と同様な効果を奏する記憶装置が得られる。

【0106】

【発明の効果】

上述したように、本発明によれば、ペロブスカイト構造の薄膜材料を可変抵抗素子として利用したメモリセルを1T1R型、1D1R型として構成し、このメモリセルをマトリクス状に配置しメモリアレイを構成し、上述したアクセス手法を用いることによって、不揮発性メモリとして書き込み動作、リセット動作、読み出し動作をランダムアクセス(1ビット単位での動作)にて行うことが可能となる。

【0107】

また、低電圧で動作可能な、且つ高集積が可能なメモリセル及び該メモリセルを用いたメモリアレイ(記憶装置)を提供することが可能となる。また、メモリセルアクセス時において、隣接するメモリセルへのリーク電流が発生するのを阻止することができる周辺回路構成にしたので信頼度の高い有用な記憶装置となる。更に、書き込み動作、リセット動作、読み出し動作は各々100ns以下の高速にて動作が可能となる。また、昇圧回路、ベリファイ動作等が不要な記憶装置

となる。

【図面の簡単な説明】

【図 1】

本発明に係るメモリアレイの構成を示す説明図である。

【図 2】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 3】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 4】

本発明に係るメモリセルのリセット動作を説明する回路図である。

【図 5】

本発明に係るメモリセルのリセット動作を説明する回路図である。

【図 6】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 7】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 8】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 9】

本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図 1 0】

本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図 1 1】

本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図 1 2】

アクセスビット線電位供給用ドライバの一例を示す説明図である。

【図 1 3】

ソース電圧印加用ドライバ及びビット線電位供給用ドライバの一例を示す回路図である。

【図 1 4】

リセット動作を行う別のアクセス方法を説明する回路図である。

【図 1 5】

リセット動作を行う別のアクセス方法を説明する回路図である。

【図 1 6】

書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 1 7】

書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 1 8】

書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 1 9】

本発明に係るメモリセルの周辺回路の配置を示すブロック図である。

【図 2 0】

比較のために示すフラッシュメモリの周辺回路の配置を示すブロック図である。

【図 2 1】

本発明に係るメモリアレイの構成を示す説明図である。

【図 2 2】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 2 3】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 2 4】

本発明に係るメモリセルへのリセット動作を説明する回路図である。

【図 2 5】

本発明に係るメモリセルへのリセット動作を説明する回路図である。

【図 2 6】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 2 7】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 2 8】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 2 9】

従来技術における印加パルス数と抵抗値との関係を示すグラフである。

【図 3 0】

従来技術における印加パルス数と抵抗値との関係を示すグラフである。

【図 3 1】

従来技術におけるパルスの極性に対する依存性を示すグラフである。

【図 3 2】

従来技術におけるパルスの極性に対する依存性を示すグラフである。

【図 3 3】

従来技術におけるメモリアレイ構成を示す斜視図である。

【図 3 4】

従来のメモリアレイの構成例を示す回路図である。

【図 3 5】

本発明に係るメモリアレイの構成を示す説明図である。

【図 3 6】

本発明に係るメモリアレイの構造を模式的に示す説明図である。

【符号の説明】

Q c 電流制御素子

MC メモリセル

R c 可変抵抗素子

B 1 ～ B 8 ビット線

W 1 ～ W 6 ワード線

S D 1、S D 2 ソースドライブ線

C D コラムデコーダ

R C 読み出し用回路

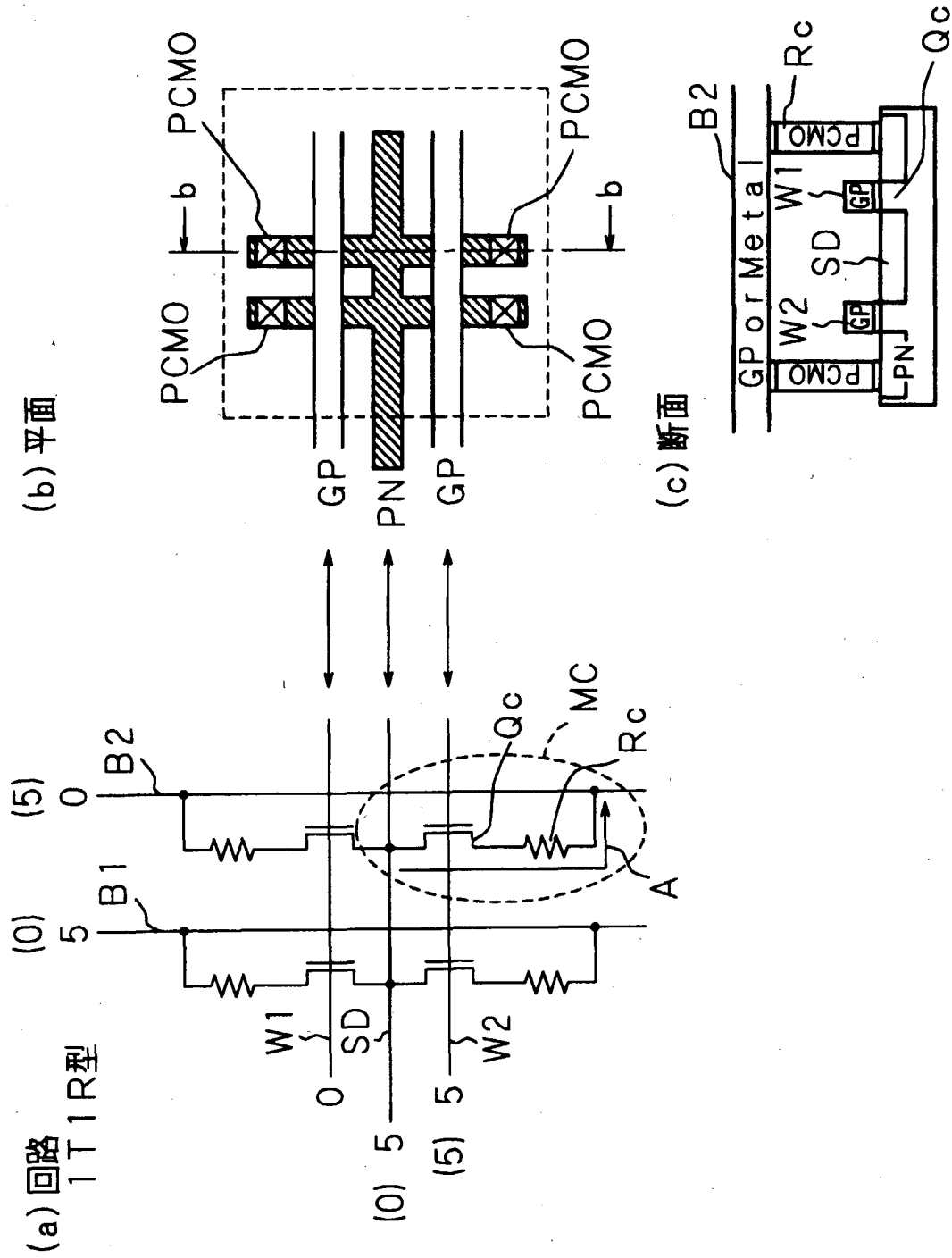
R D ローデコーダ

V s 共通接続部

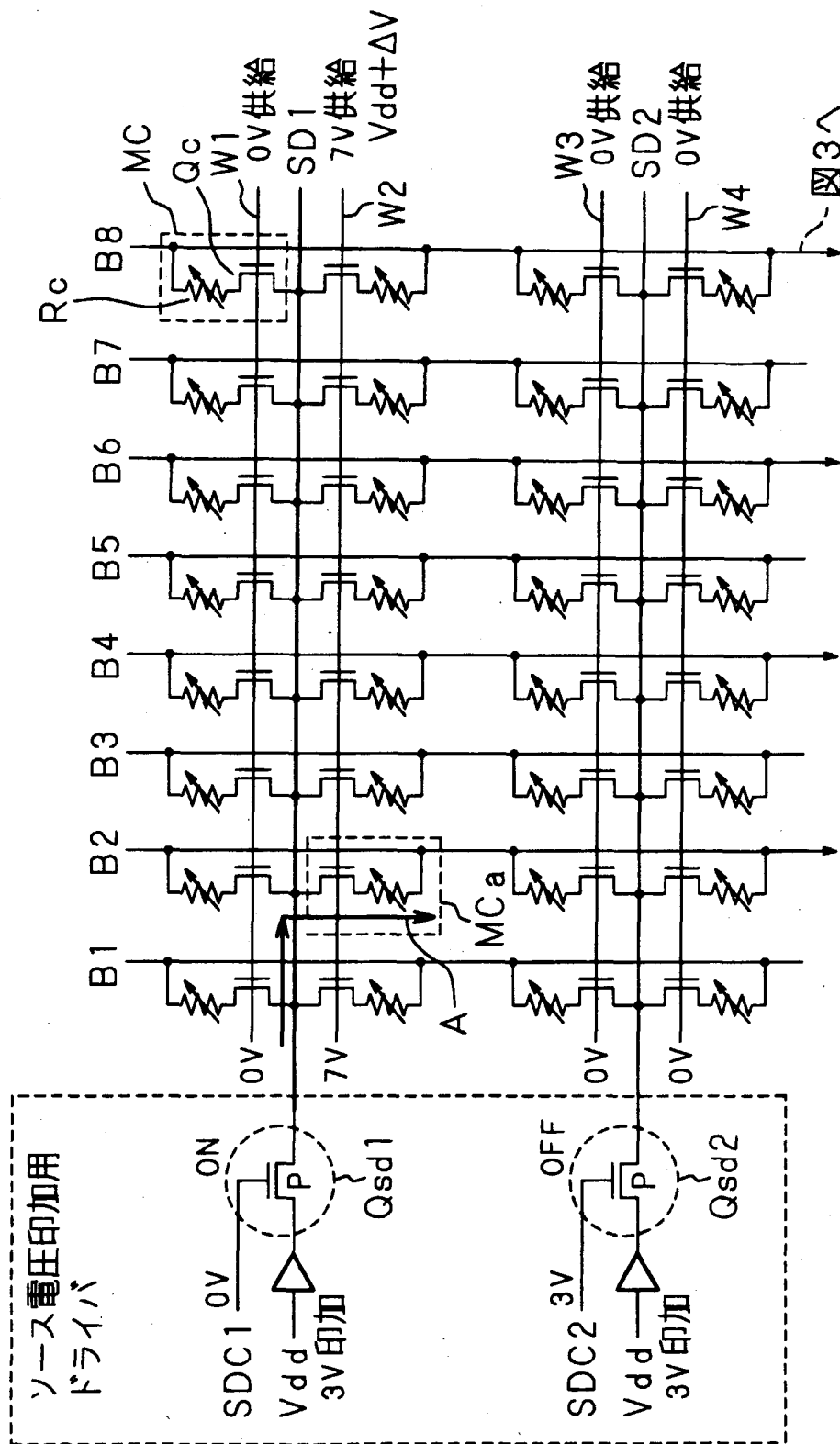
【書類名】

図面

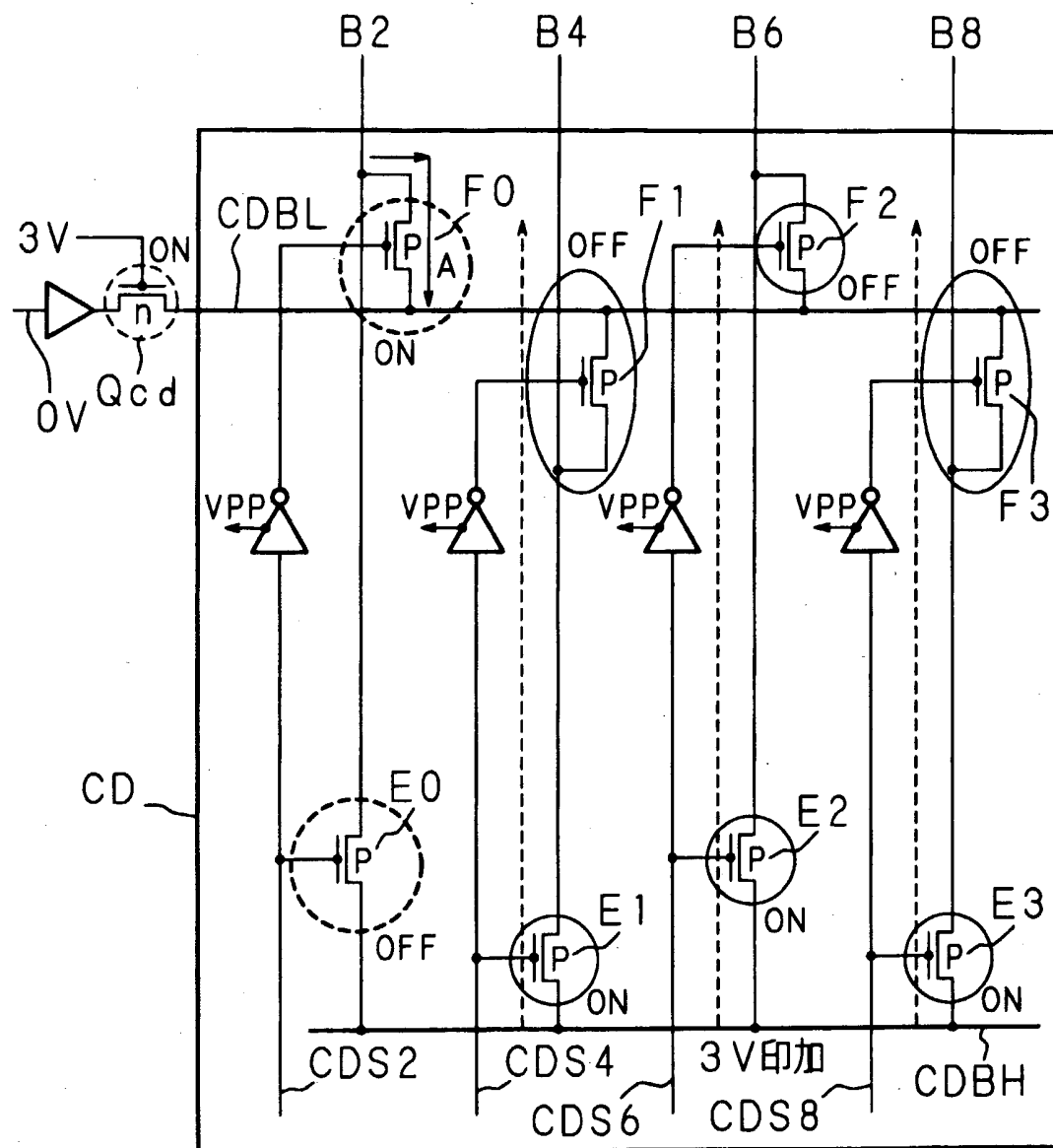
【図1】



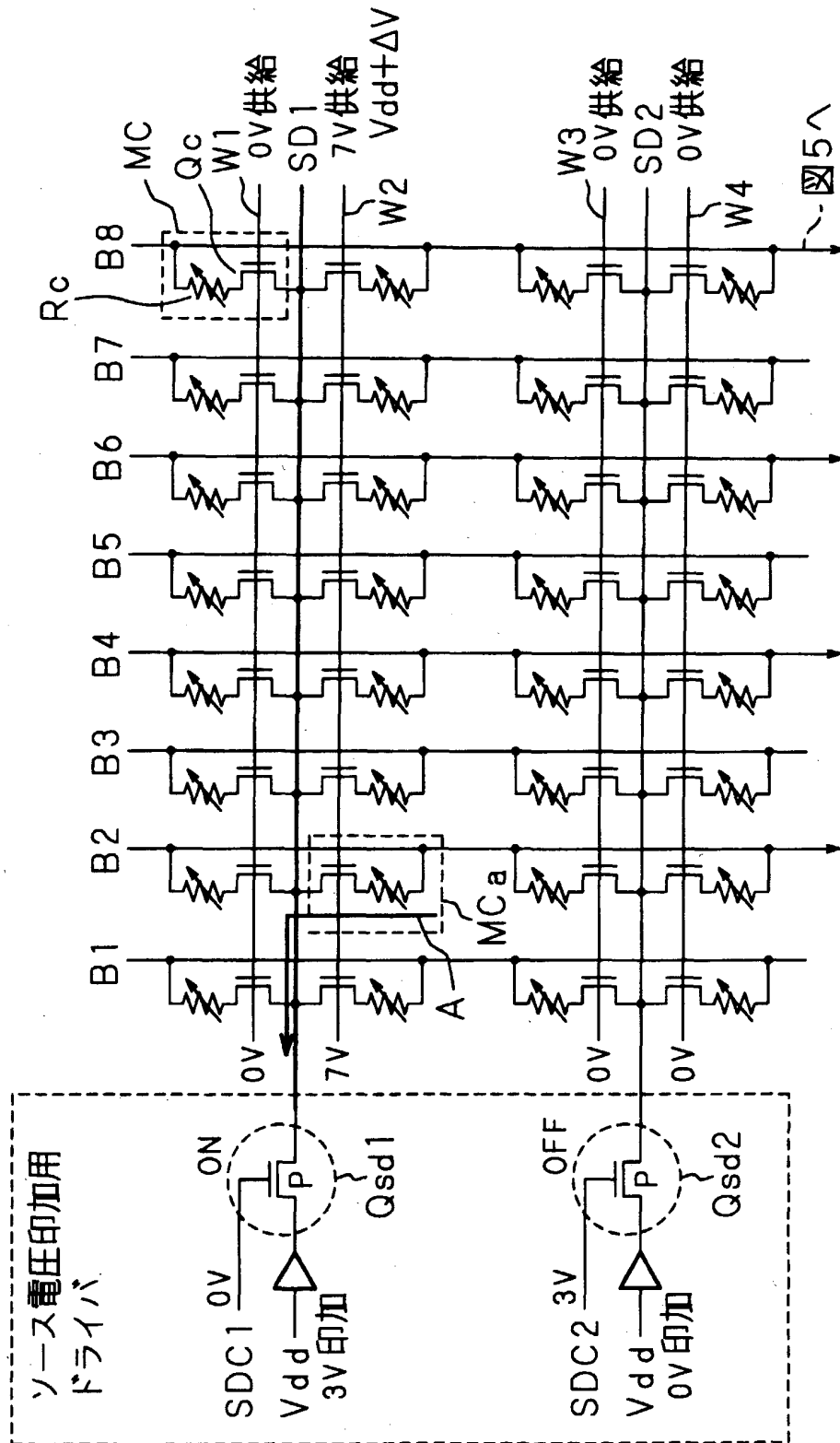
【図2】



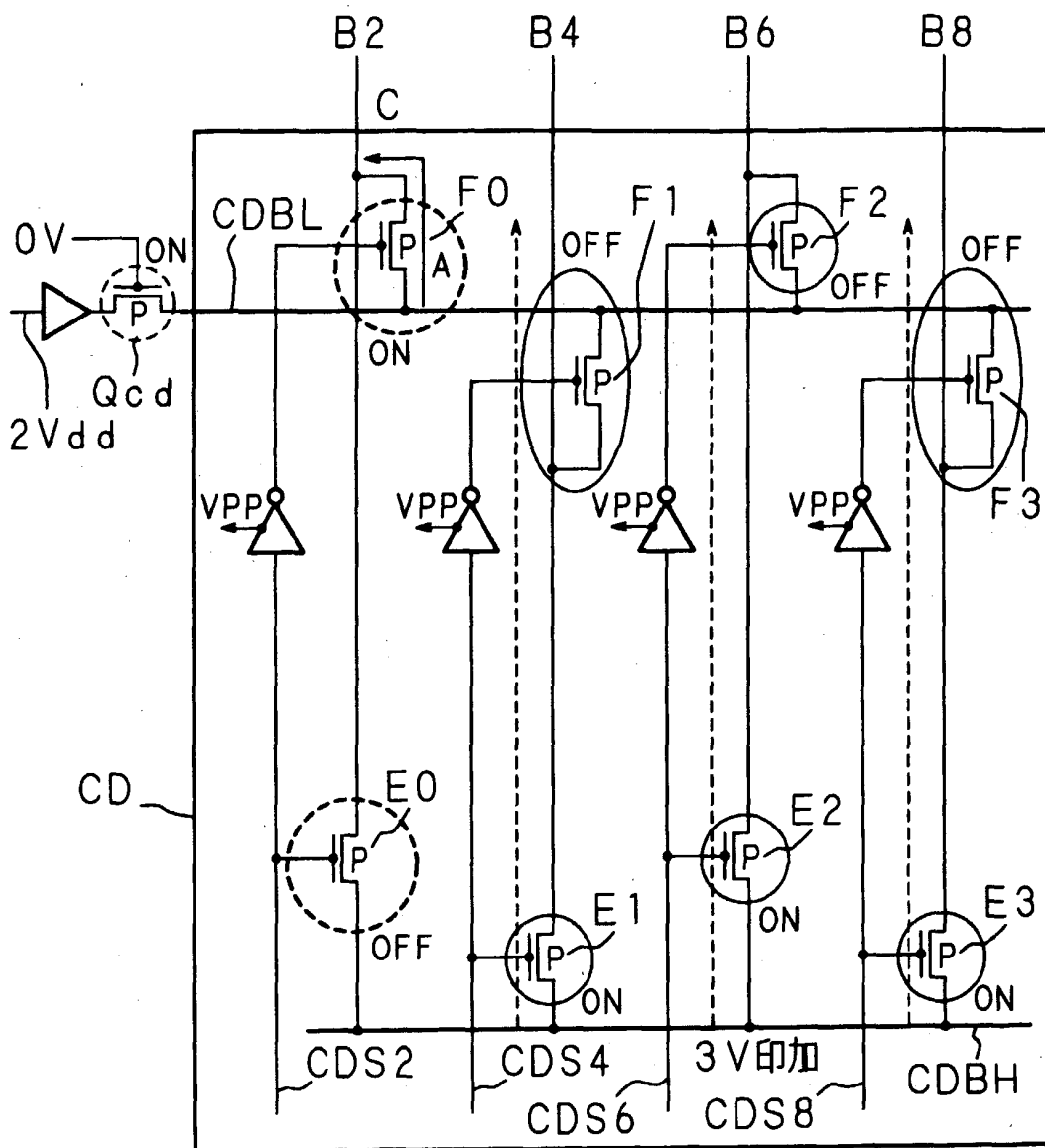
【図3】



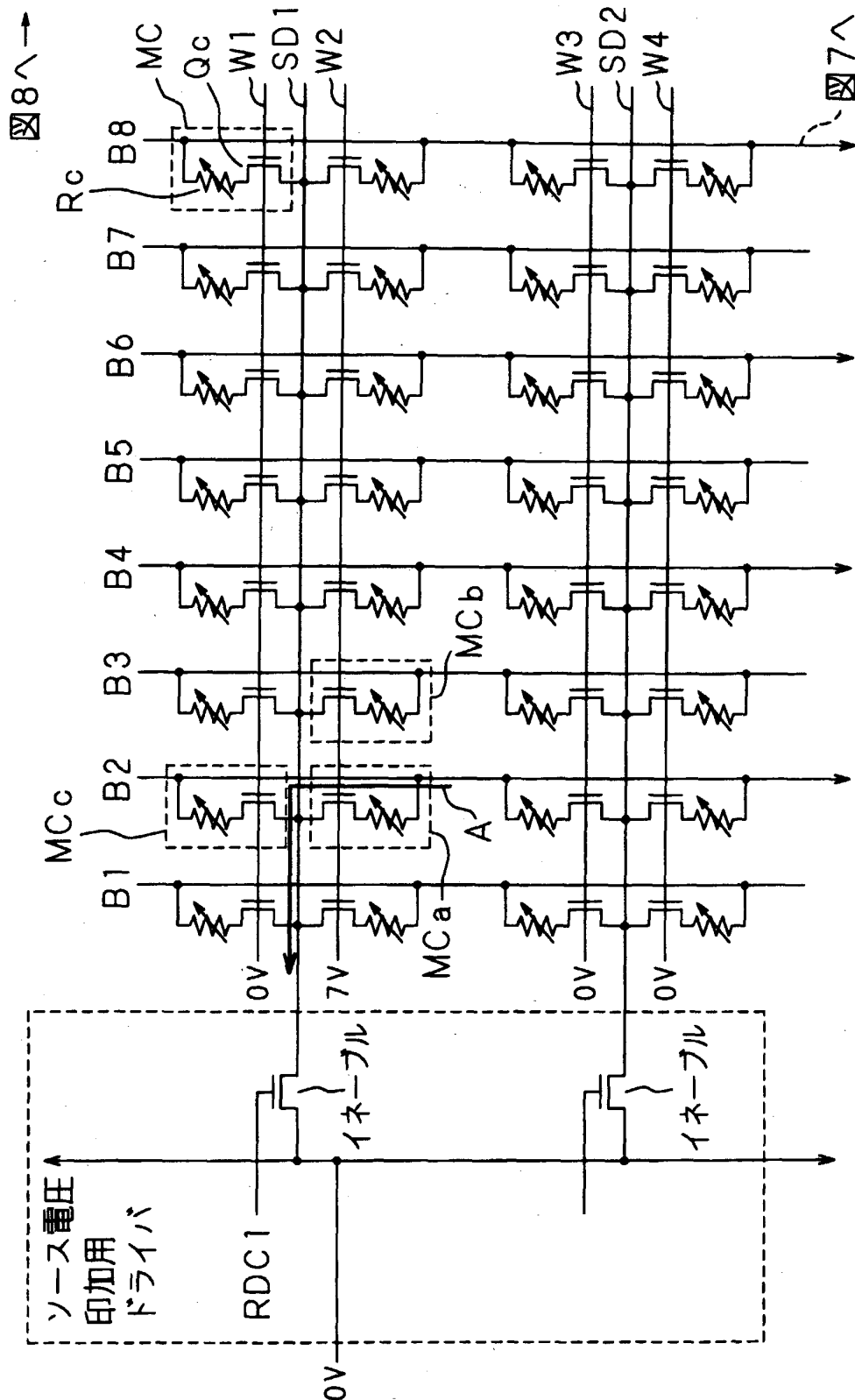
【图 4】



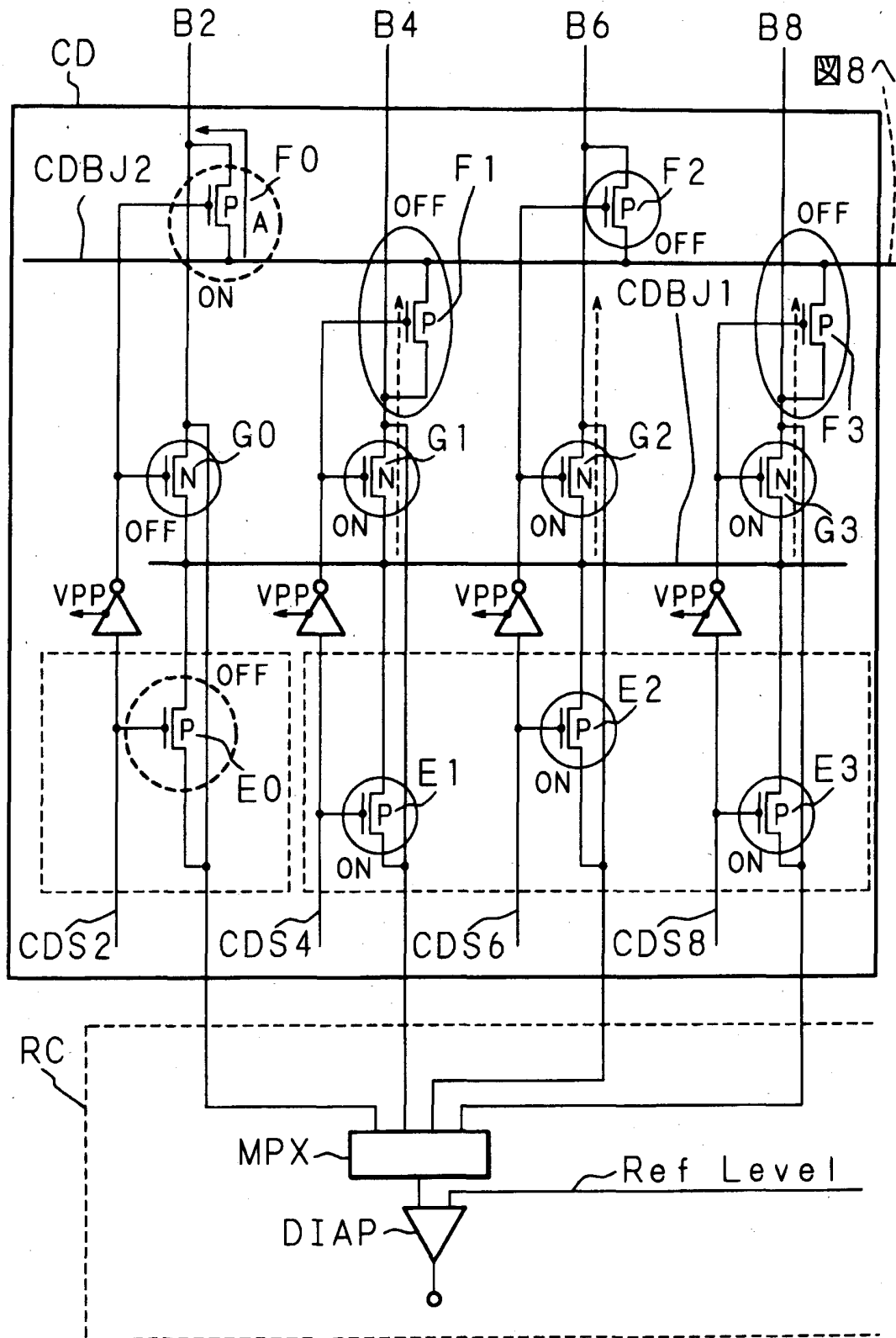
【図5】



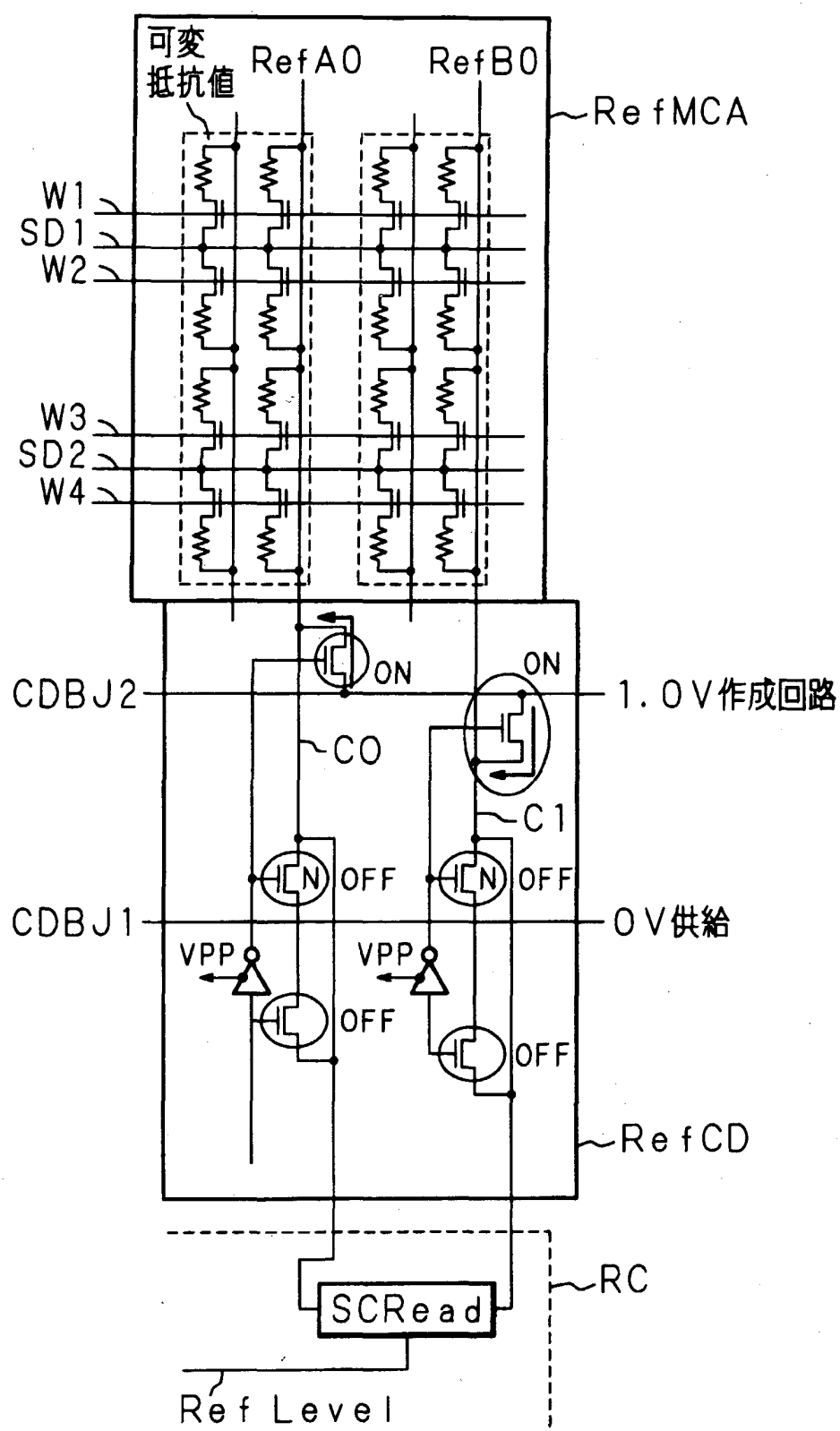
【図 6】



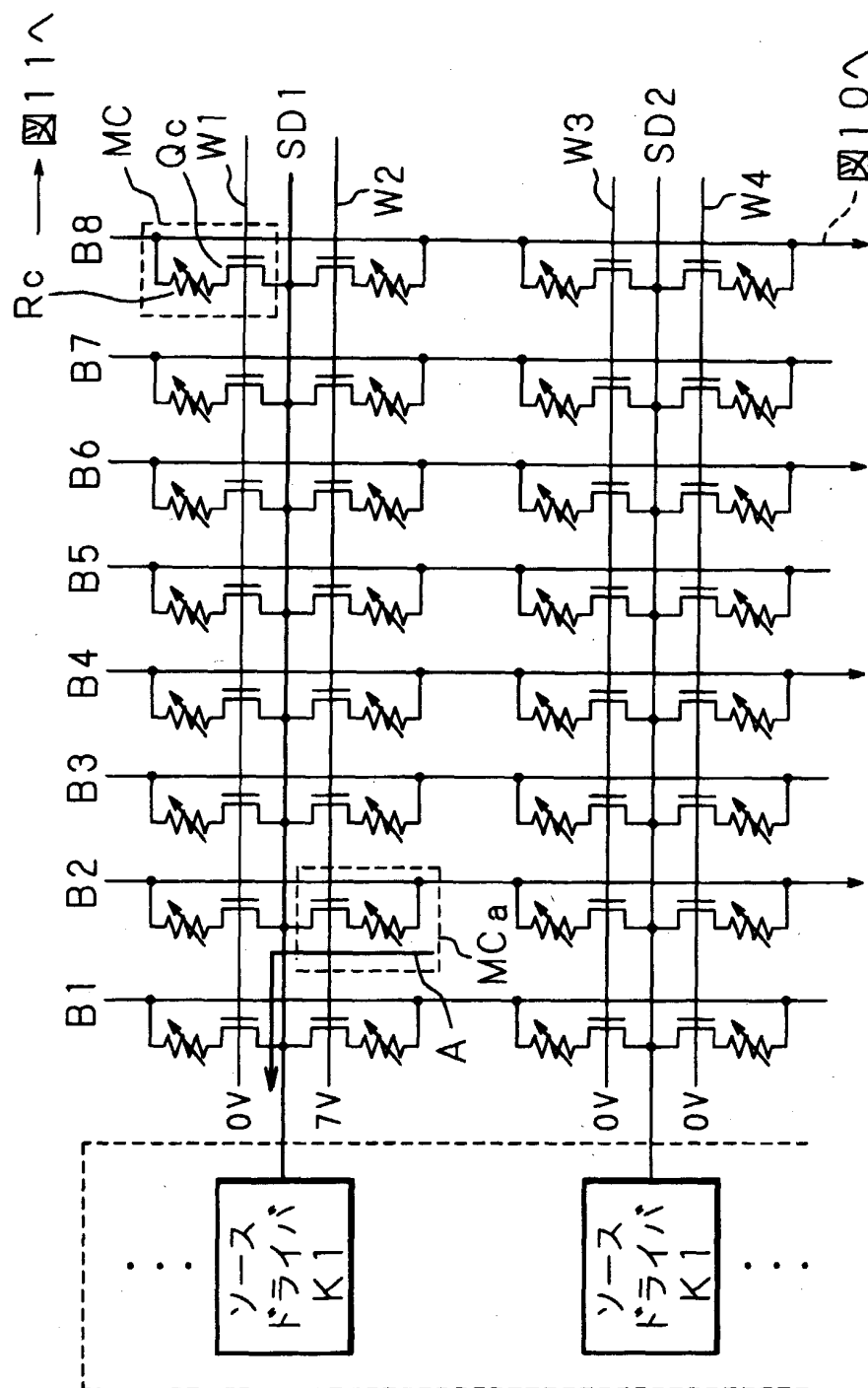
【図7】



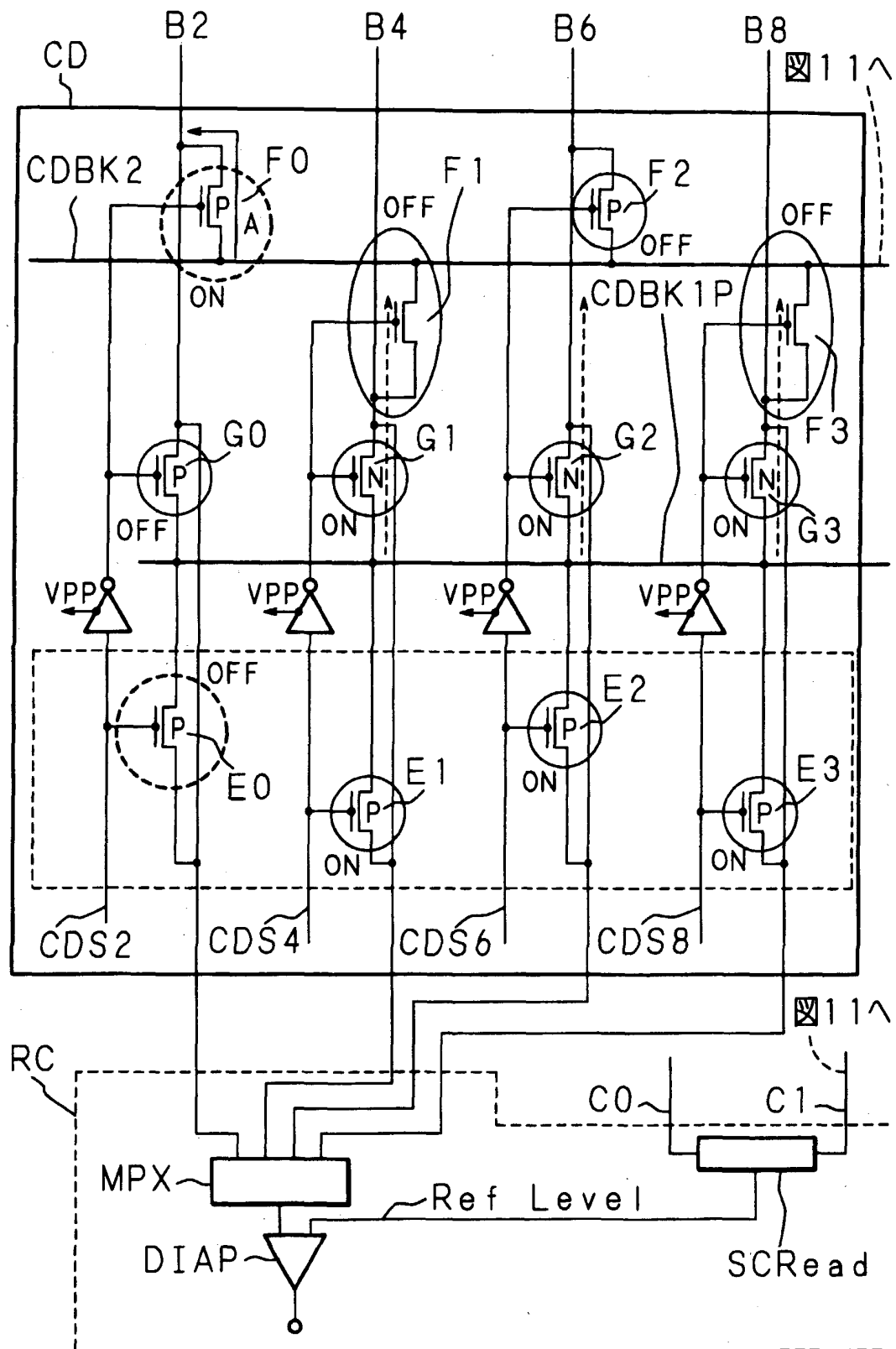
【图 8】



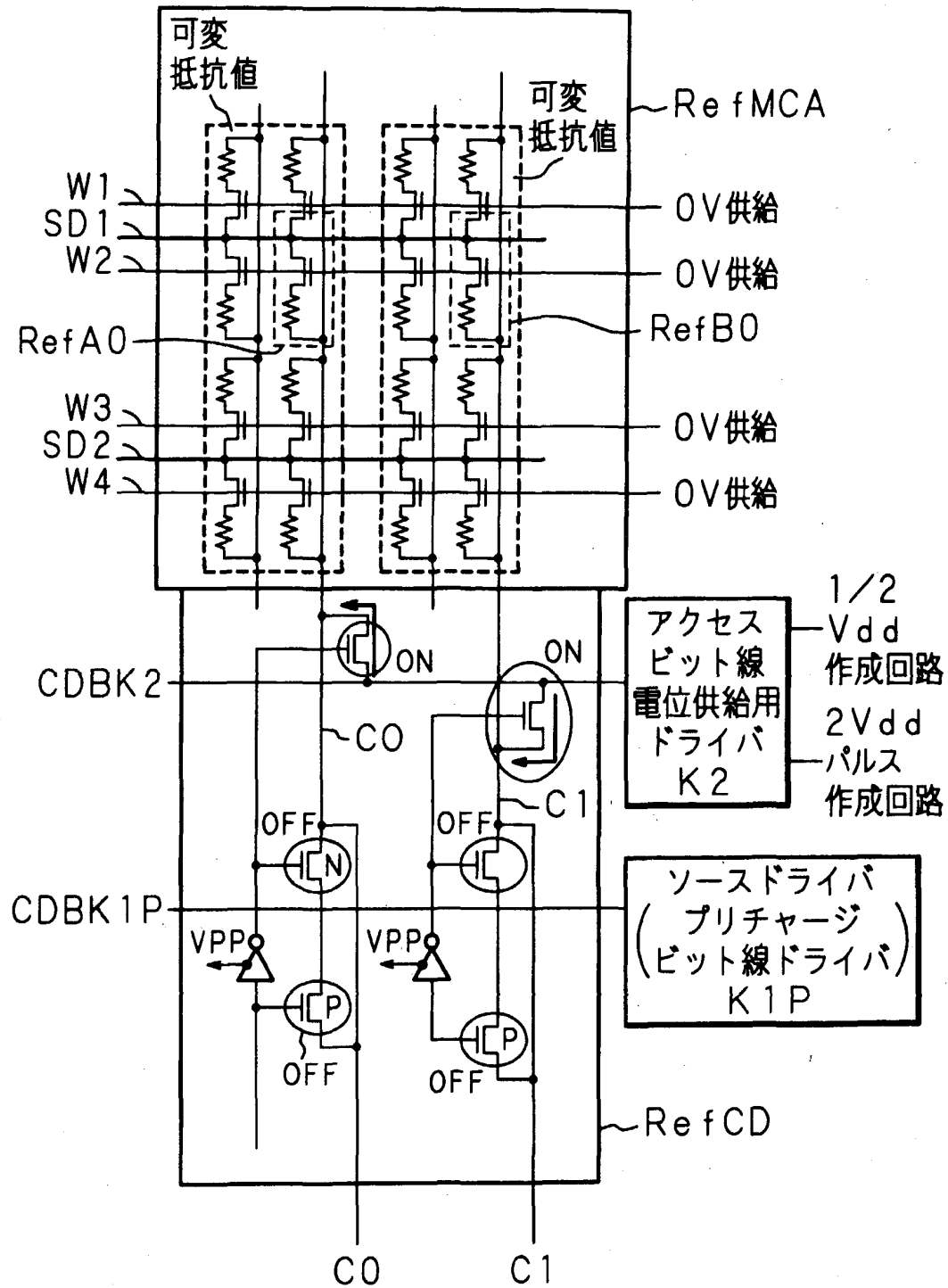
【図9】



【図10】

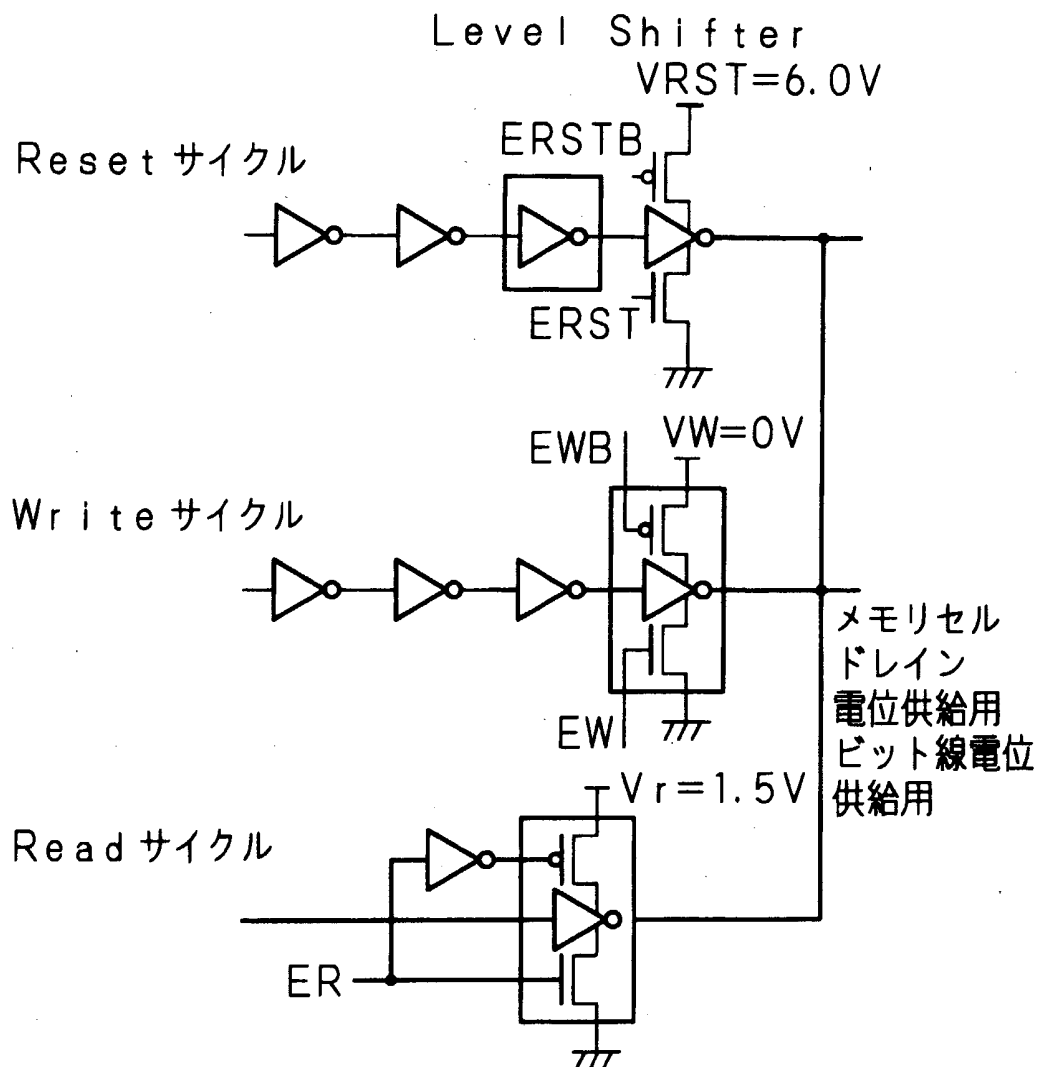


【図11】

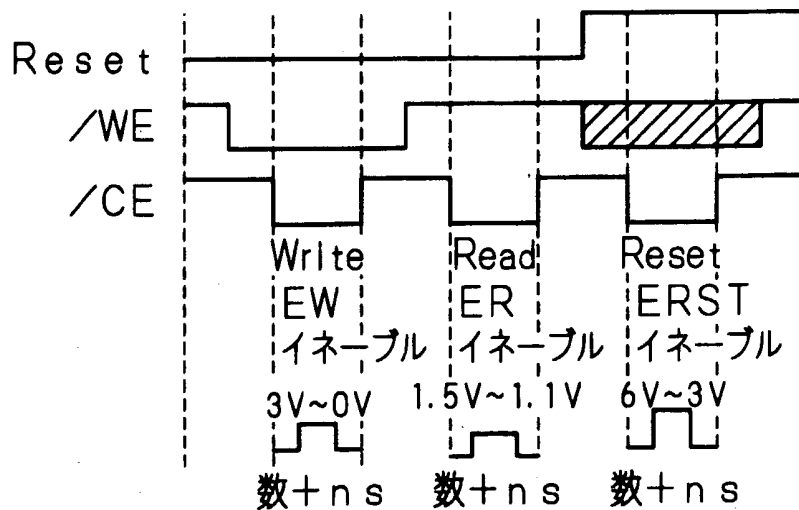


【図12】

(a) アクセスビット線電位供給用ドライバ K2



(b)



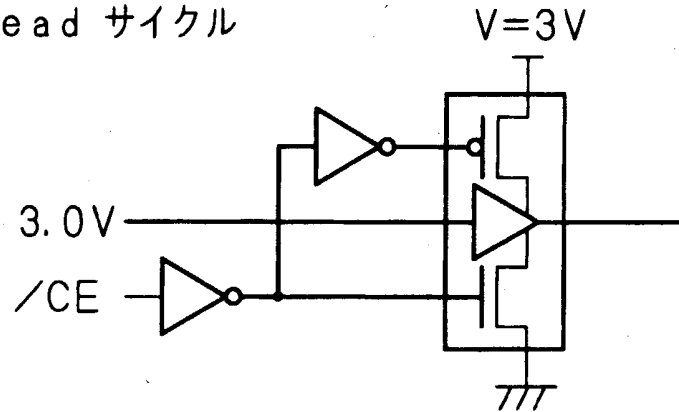
【図 1 3】

ソース電圧印加用ドライバ 兼
ビット線電位供給用ドライバ K1

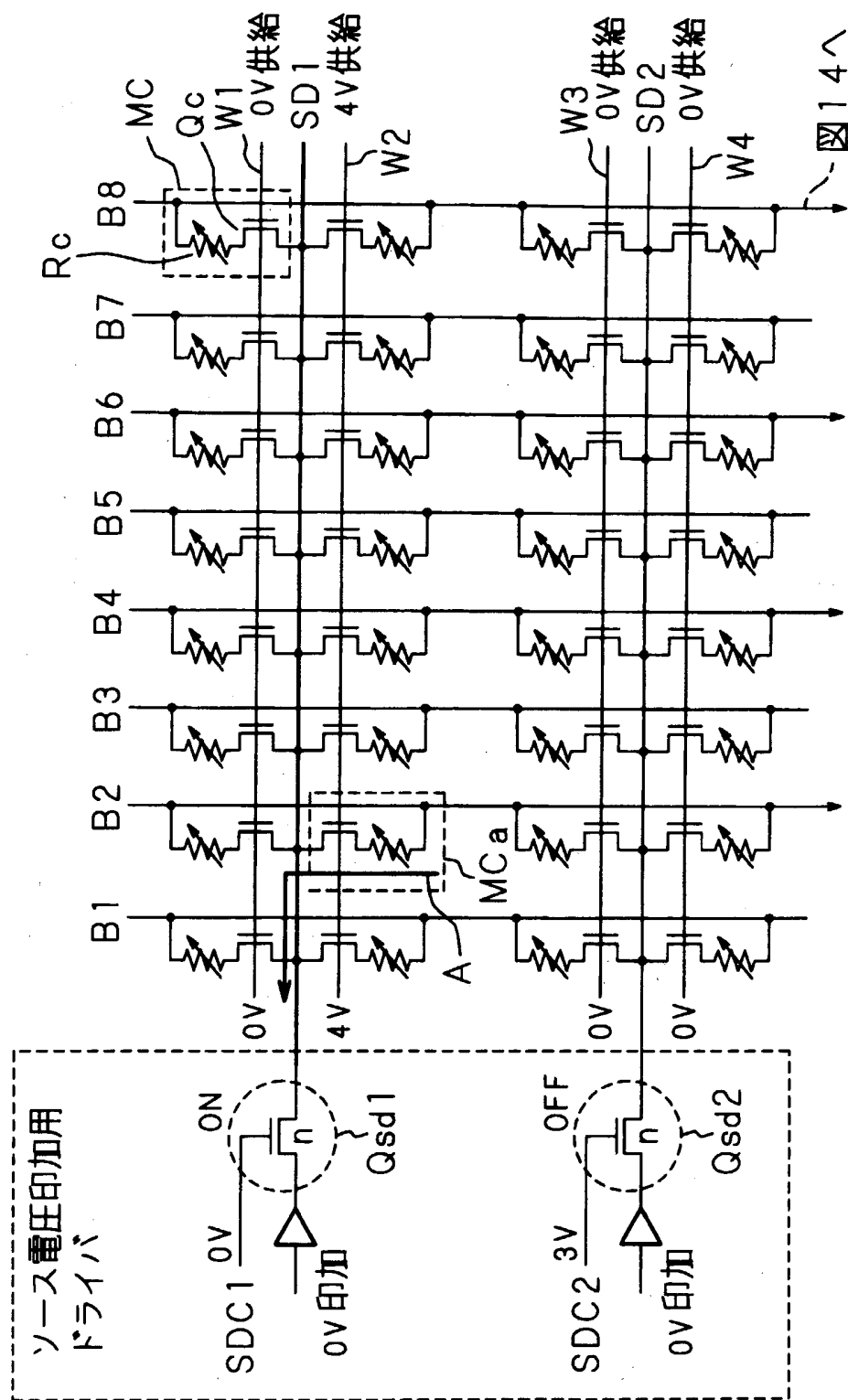
Write サイクル

Reset サイクル

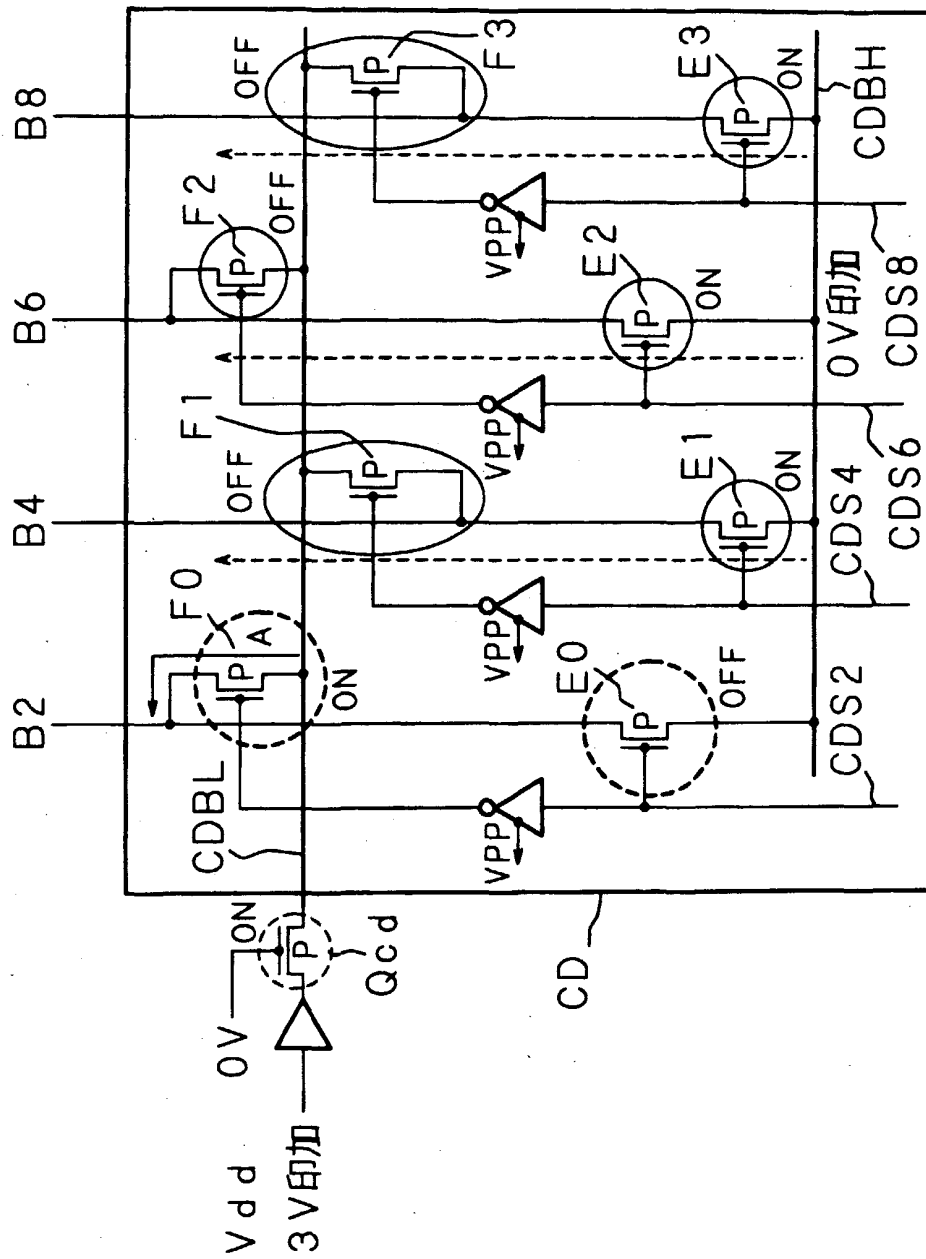
Read サイクル



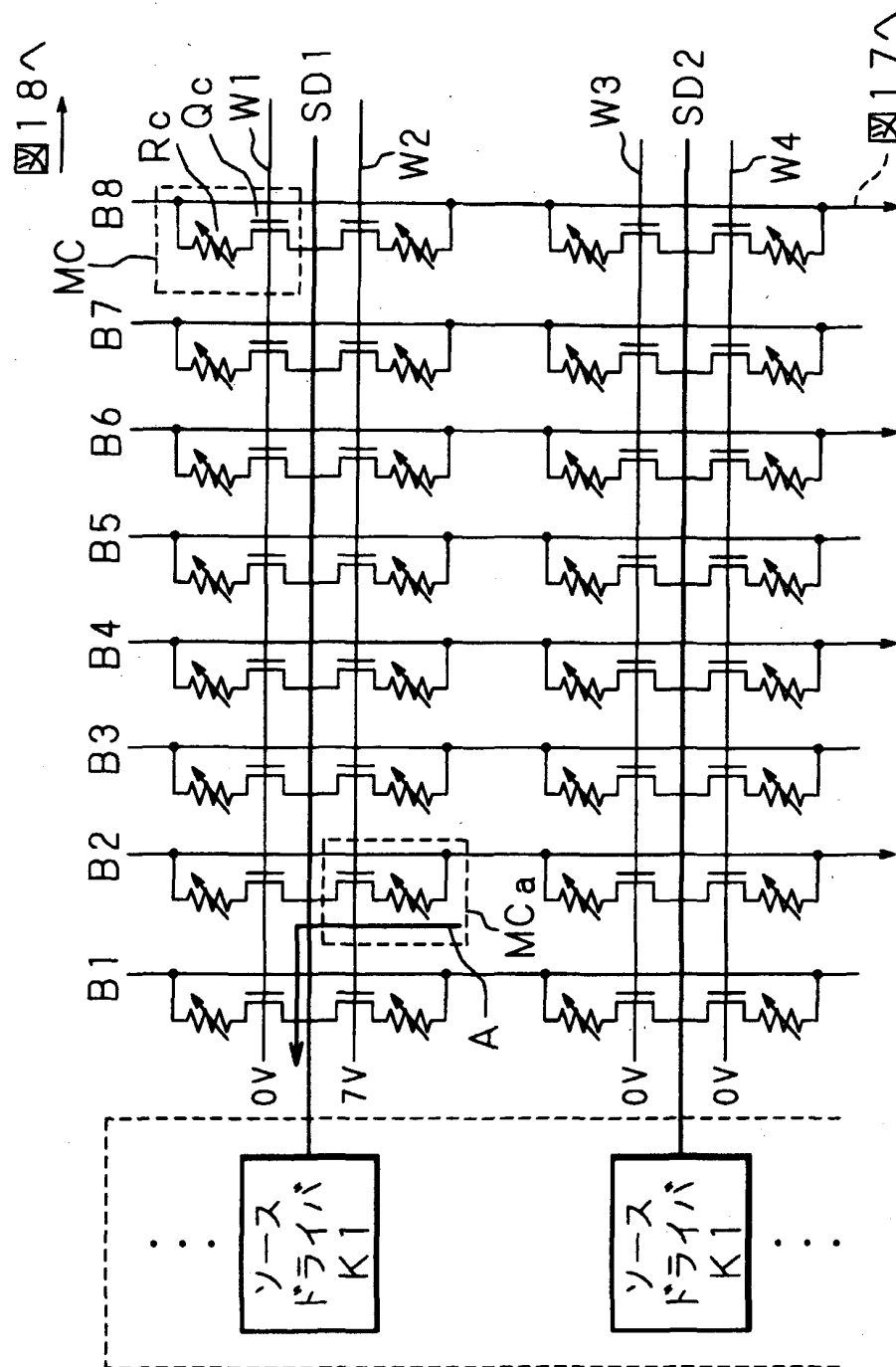
【図 14】



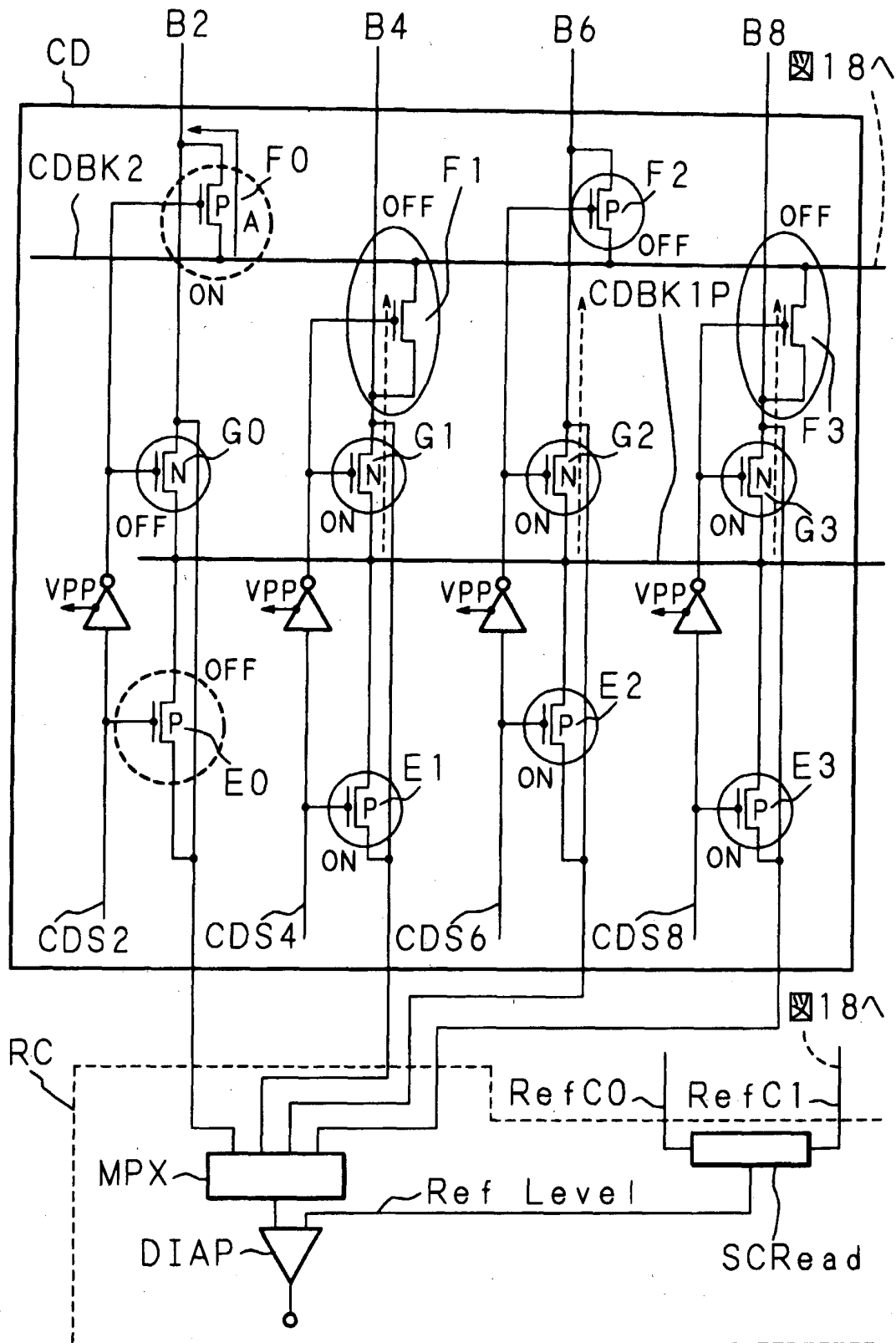
【図15】



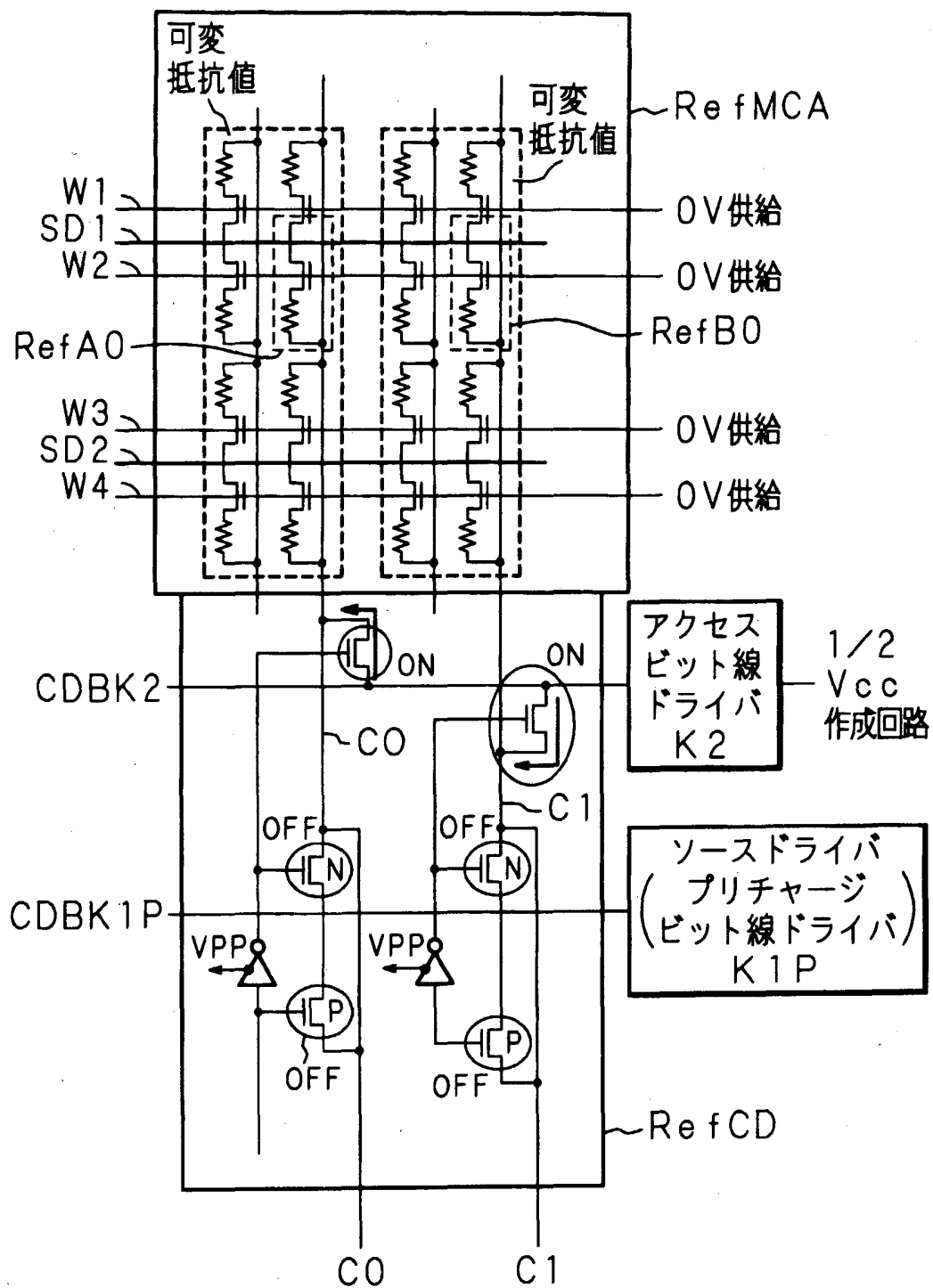
【图 16】



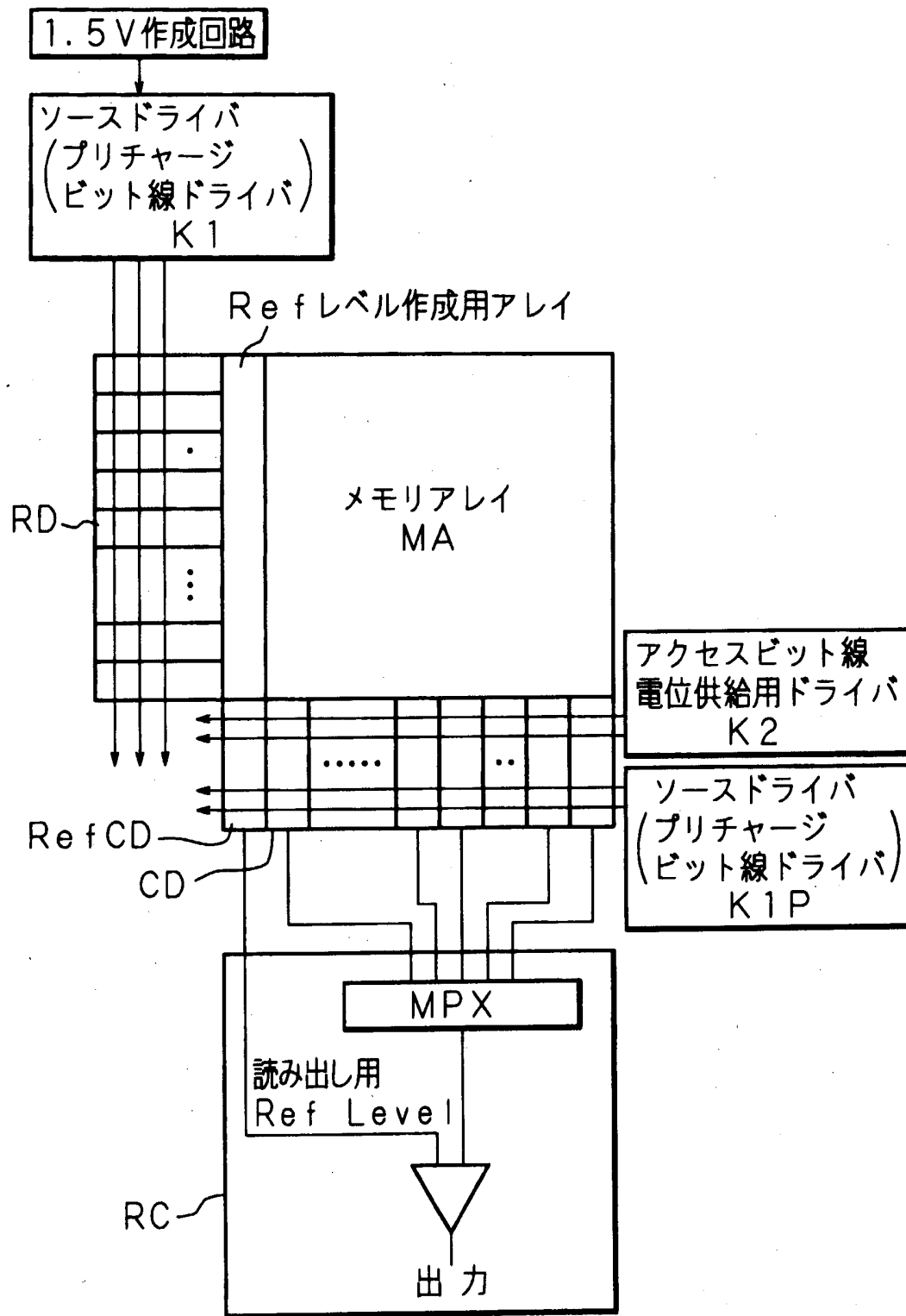
【図17】



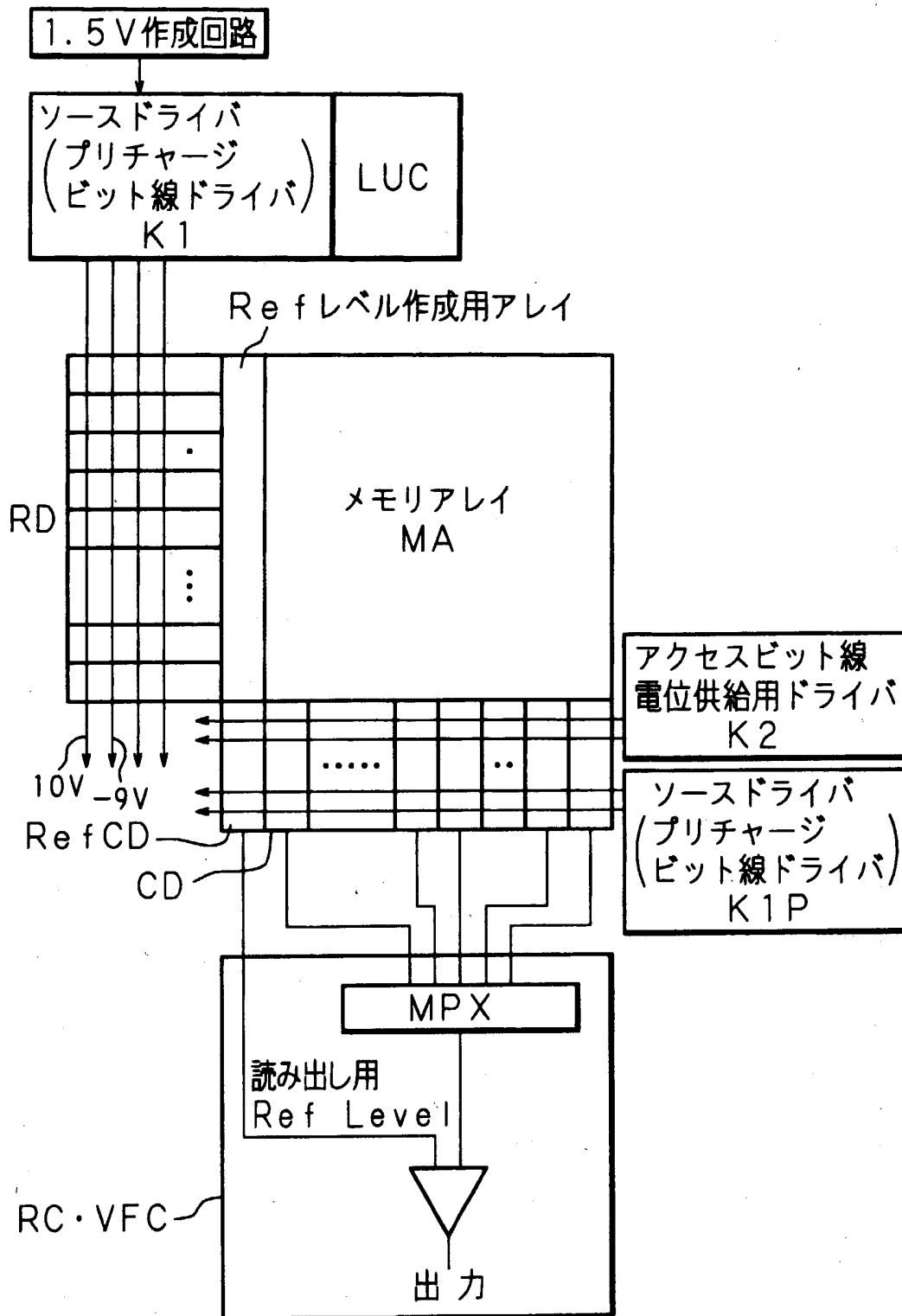
【図18】



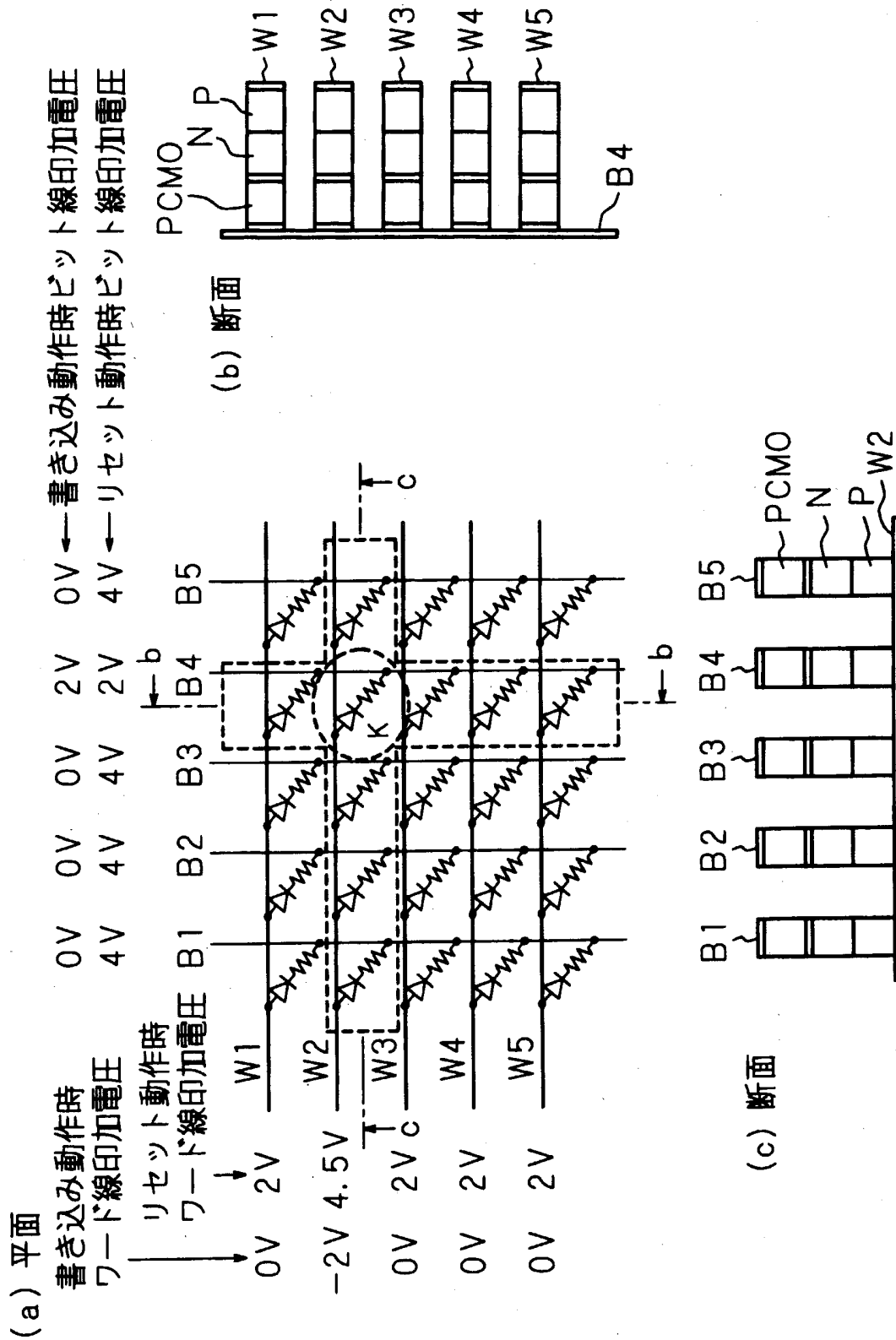
【図19】



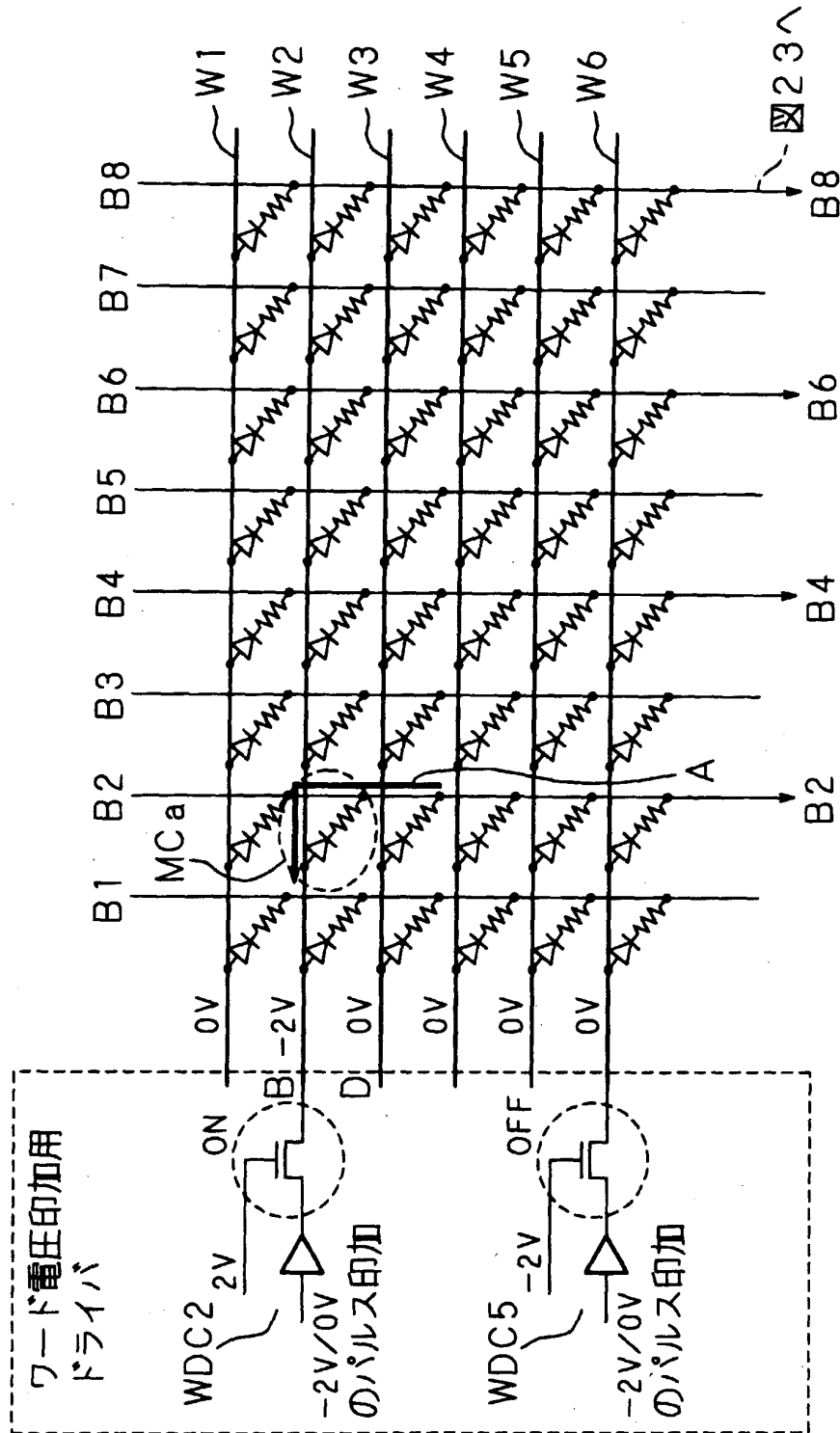
【図20】



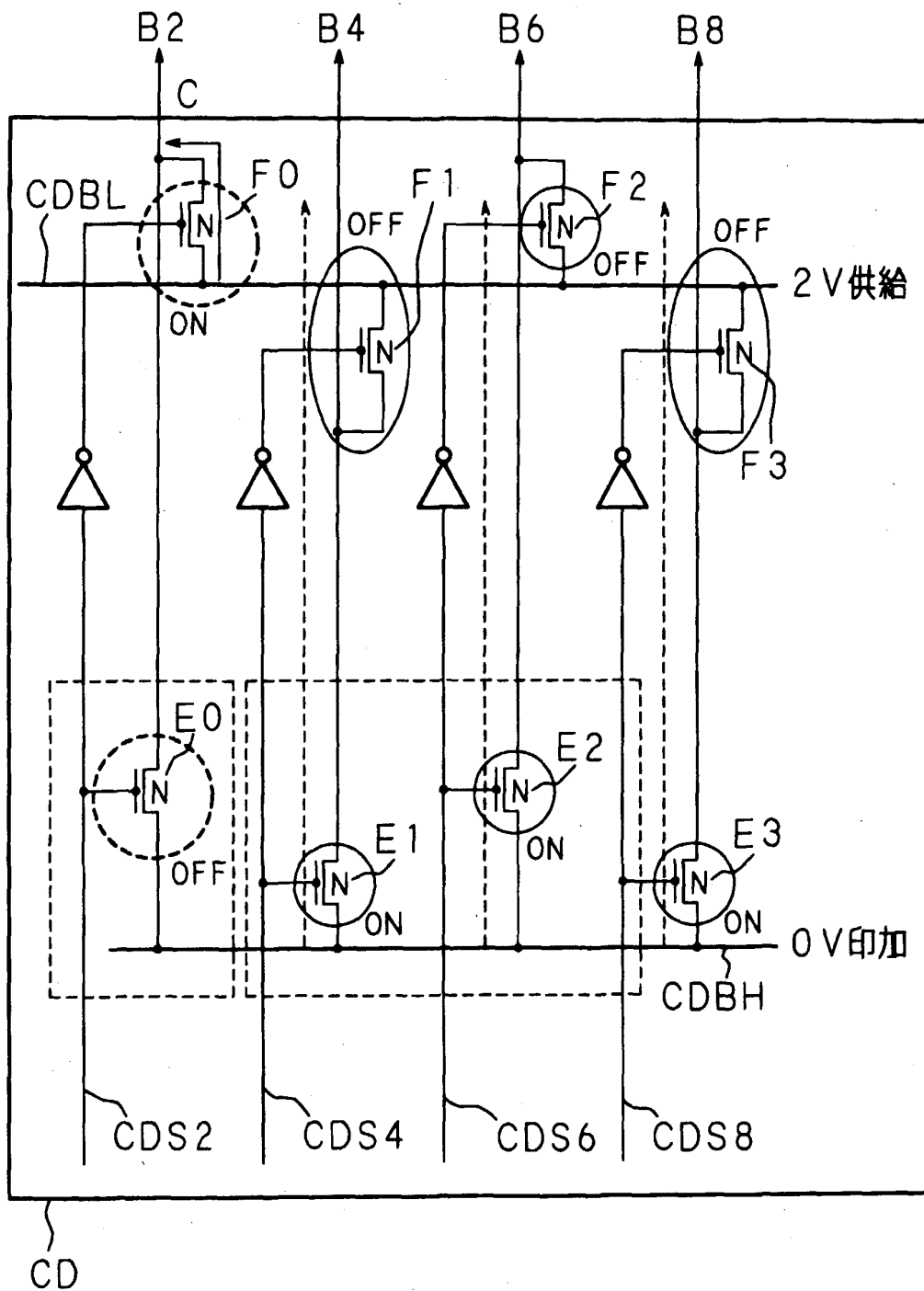
【図21】



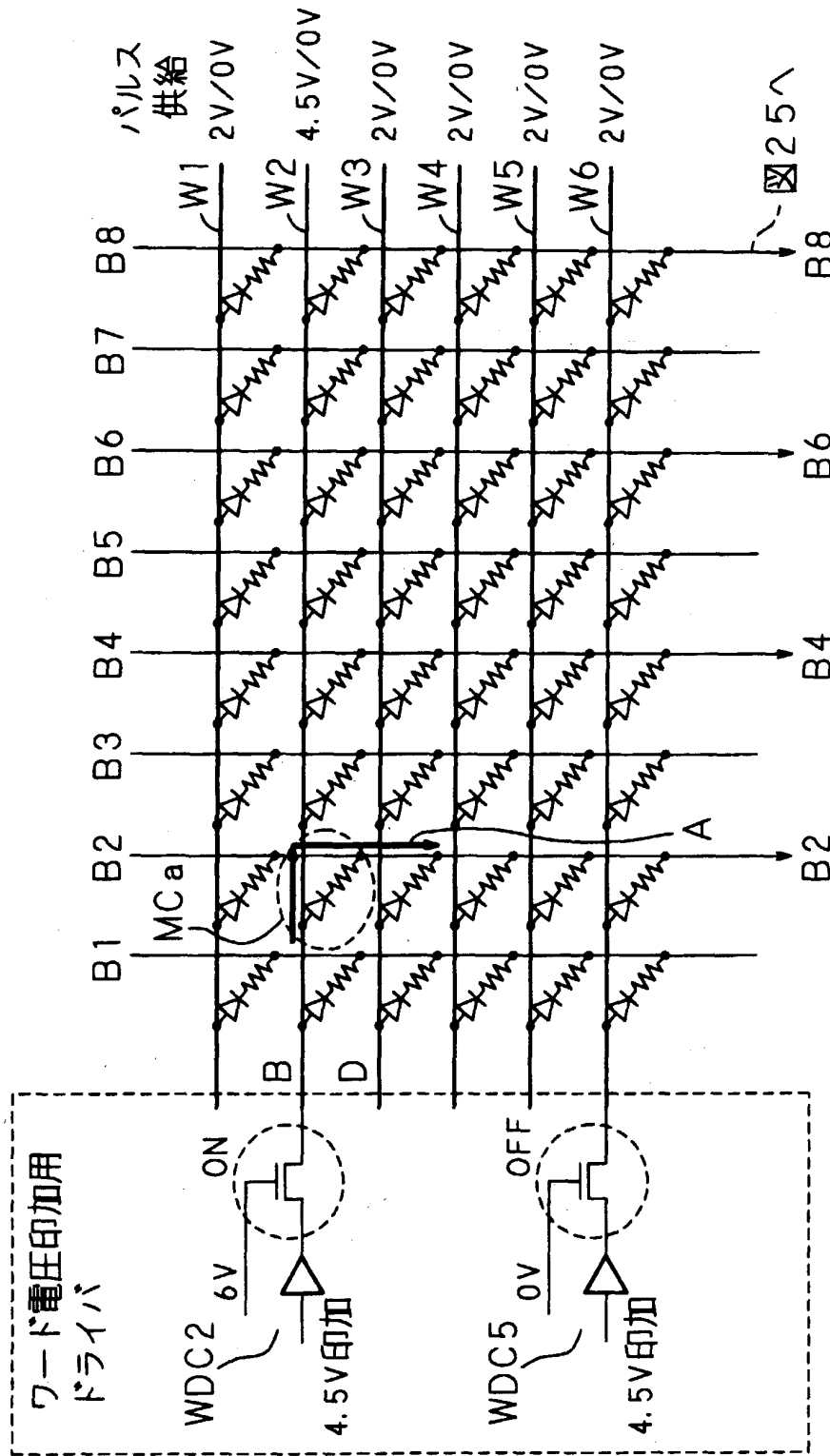
【図22】



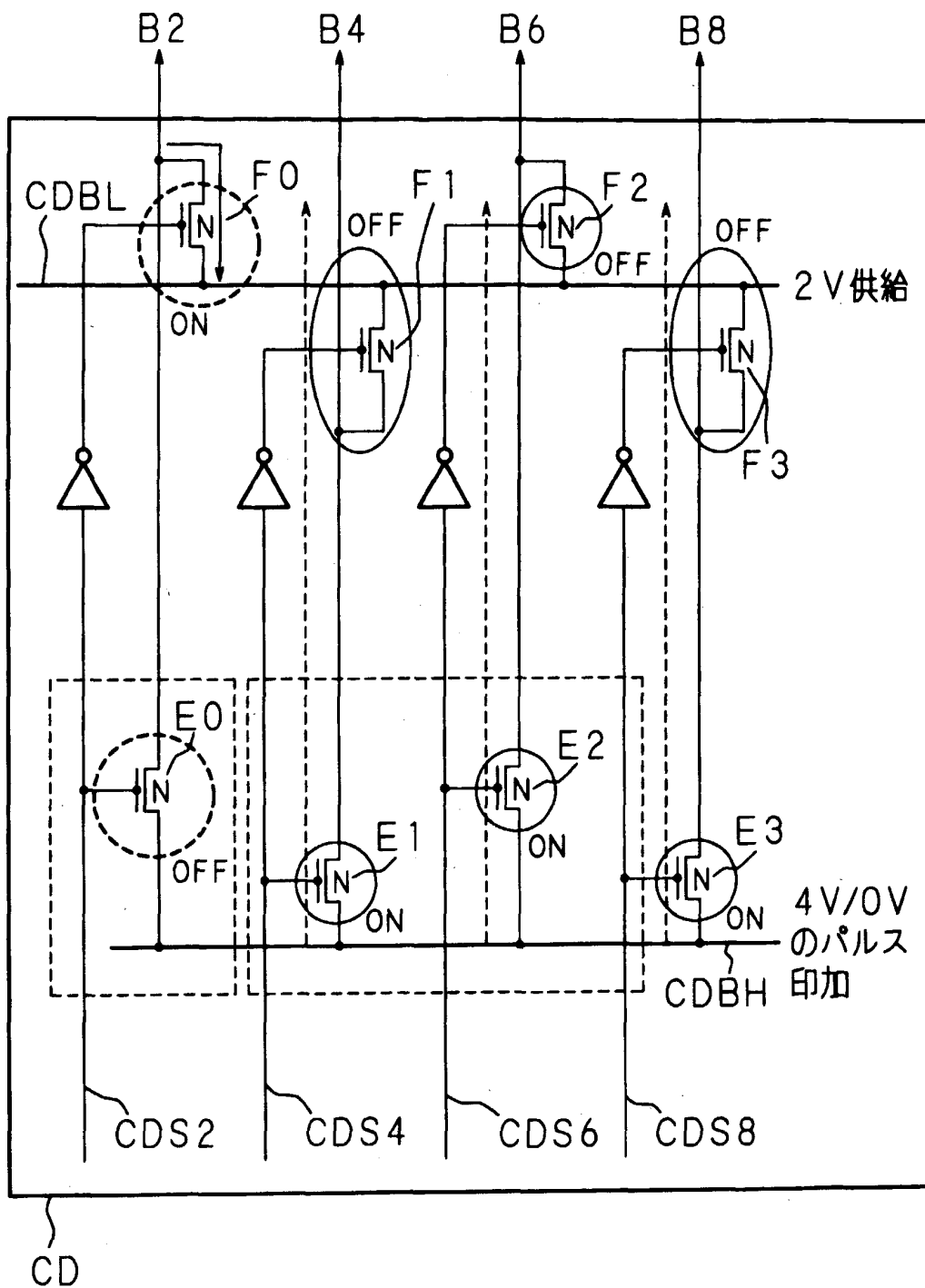
【図23】



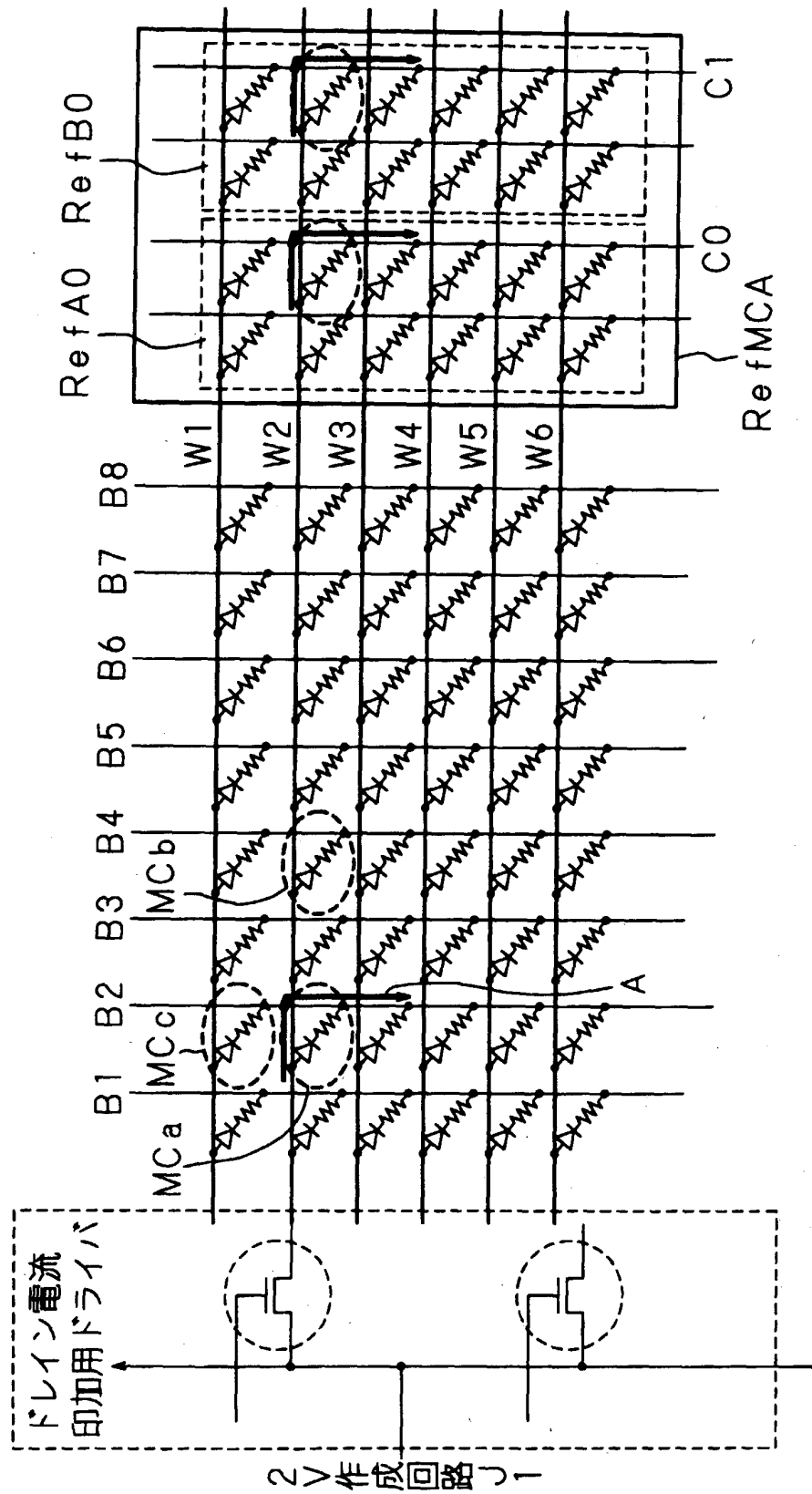
【図24】



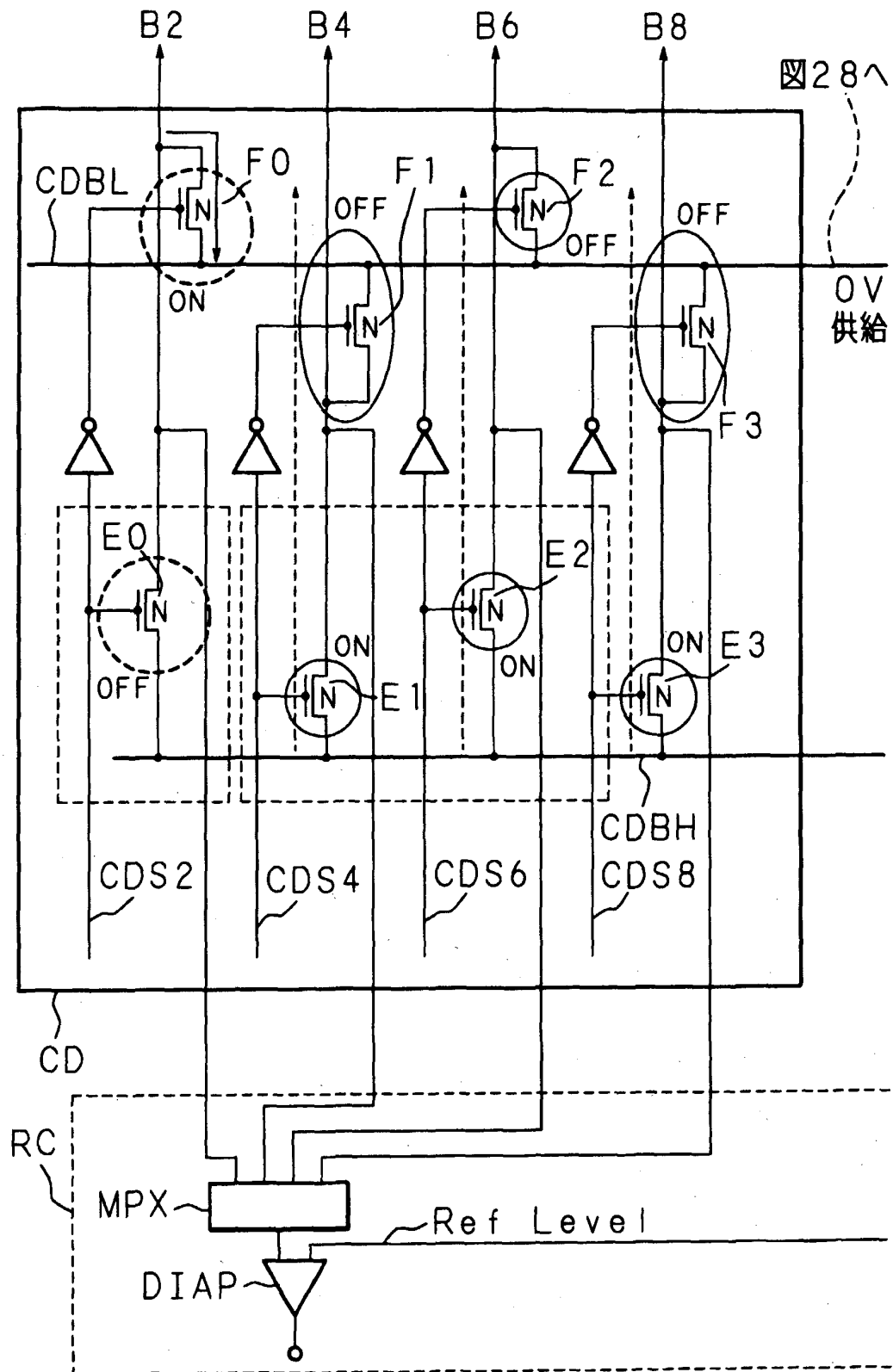
【図25】



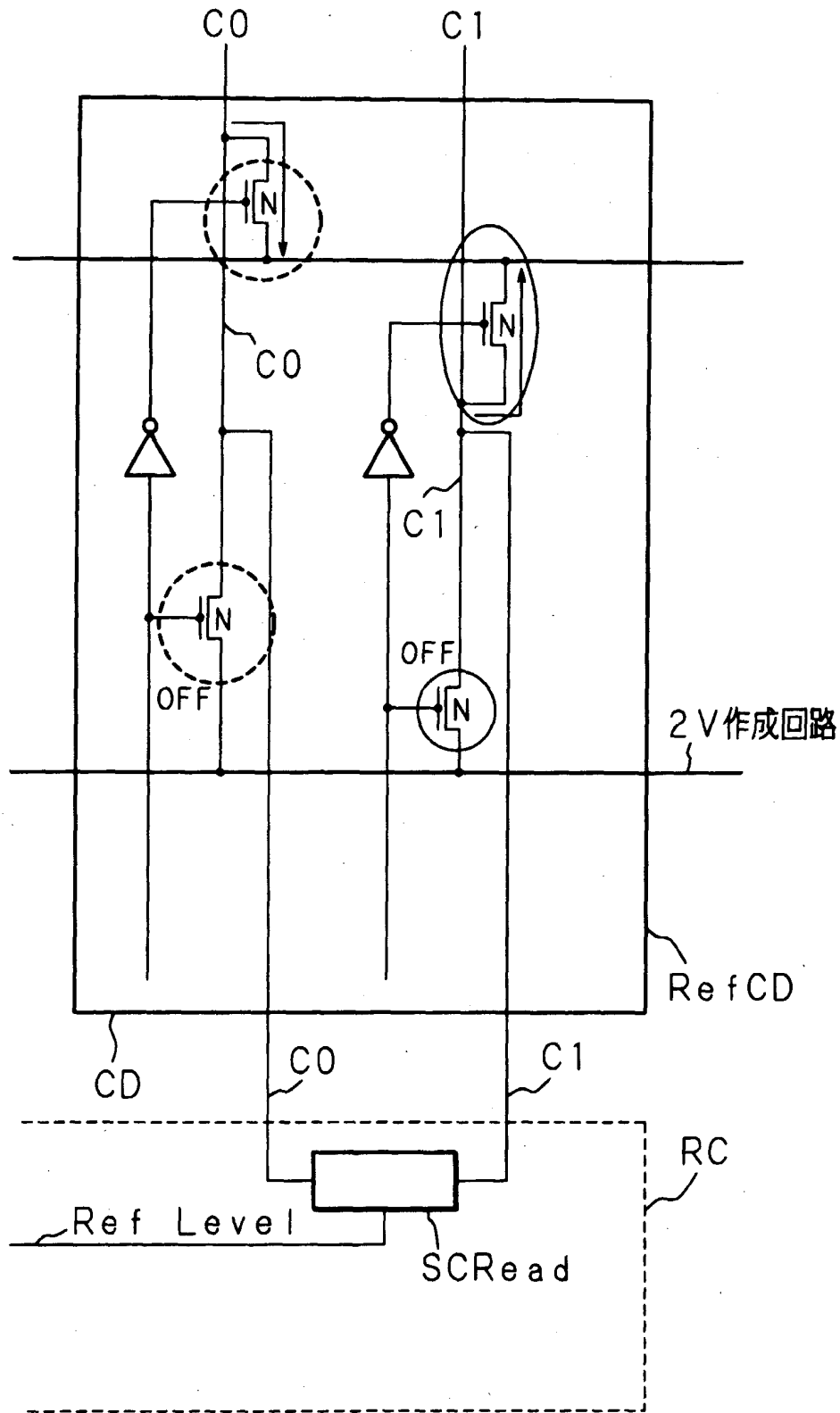
【図26】



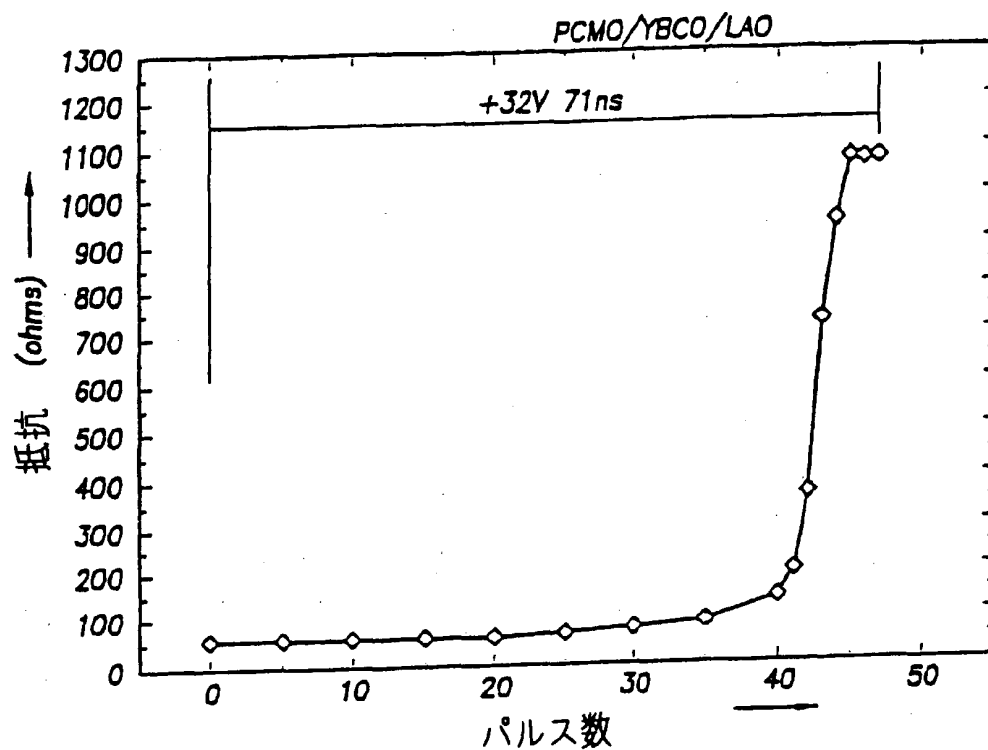
【図 27】



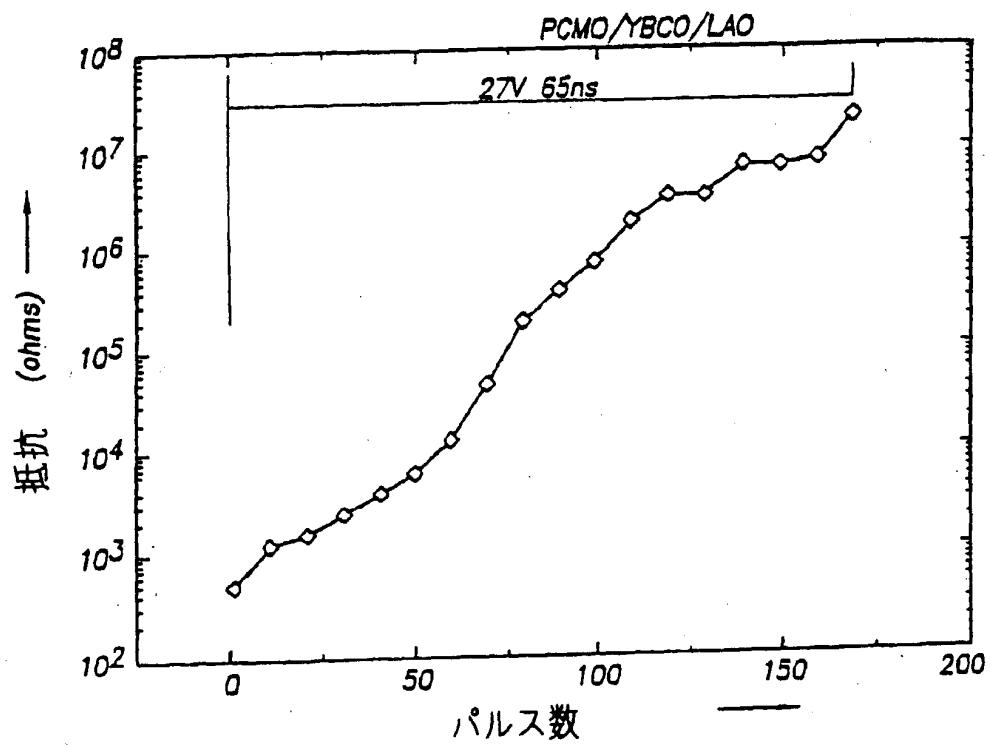
【図 28】



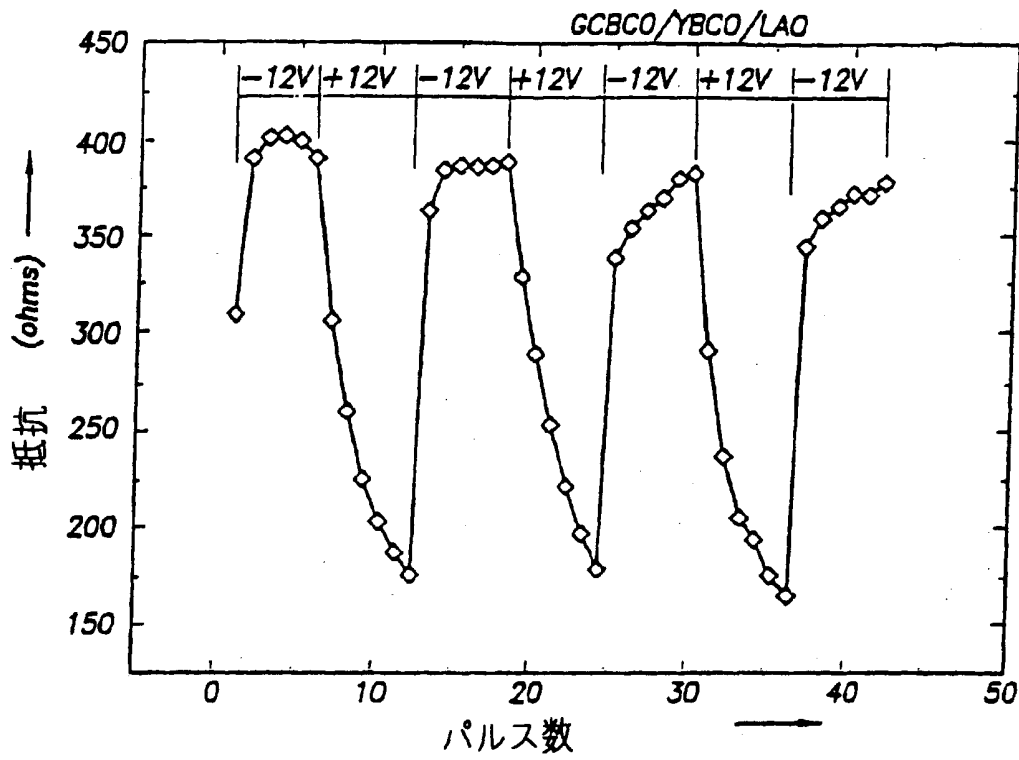
【図 29】



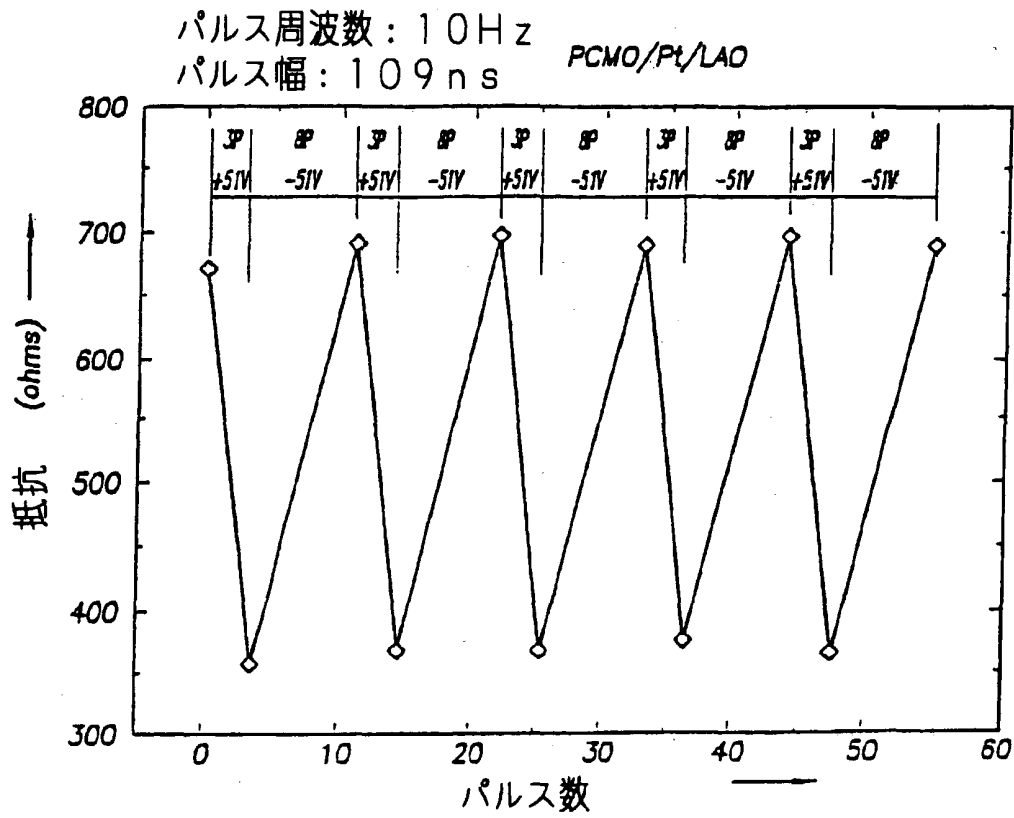
【図30】



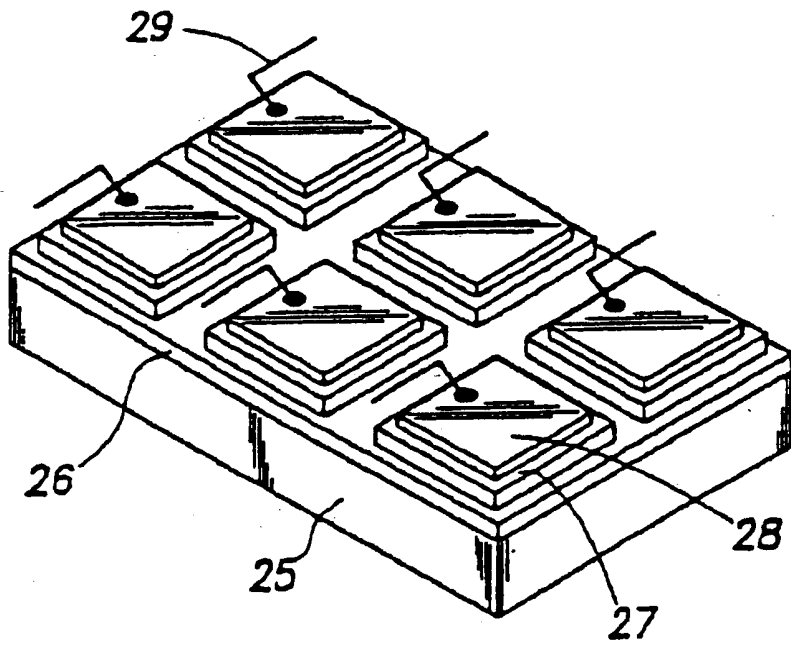
【図 31】



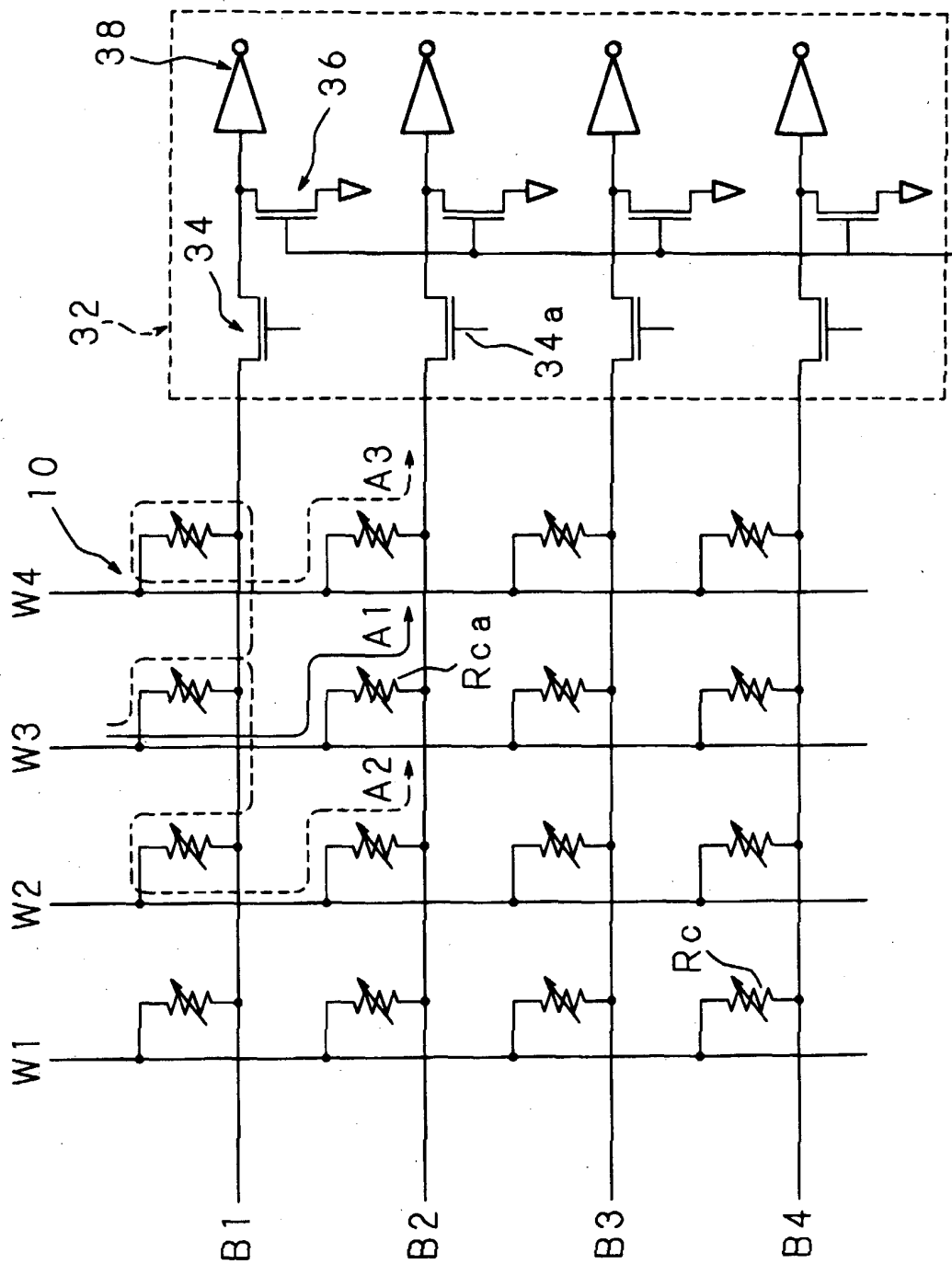
【図 3 2】



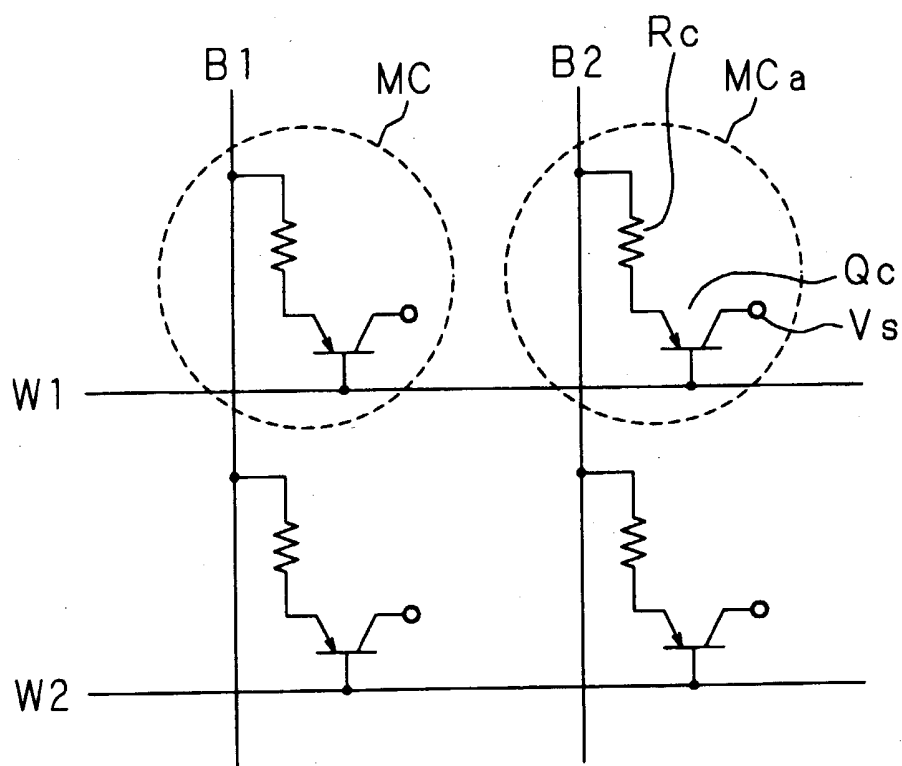
【図33】



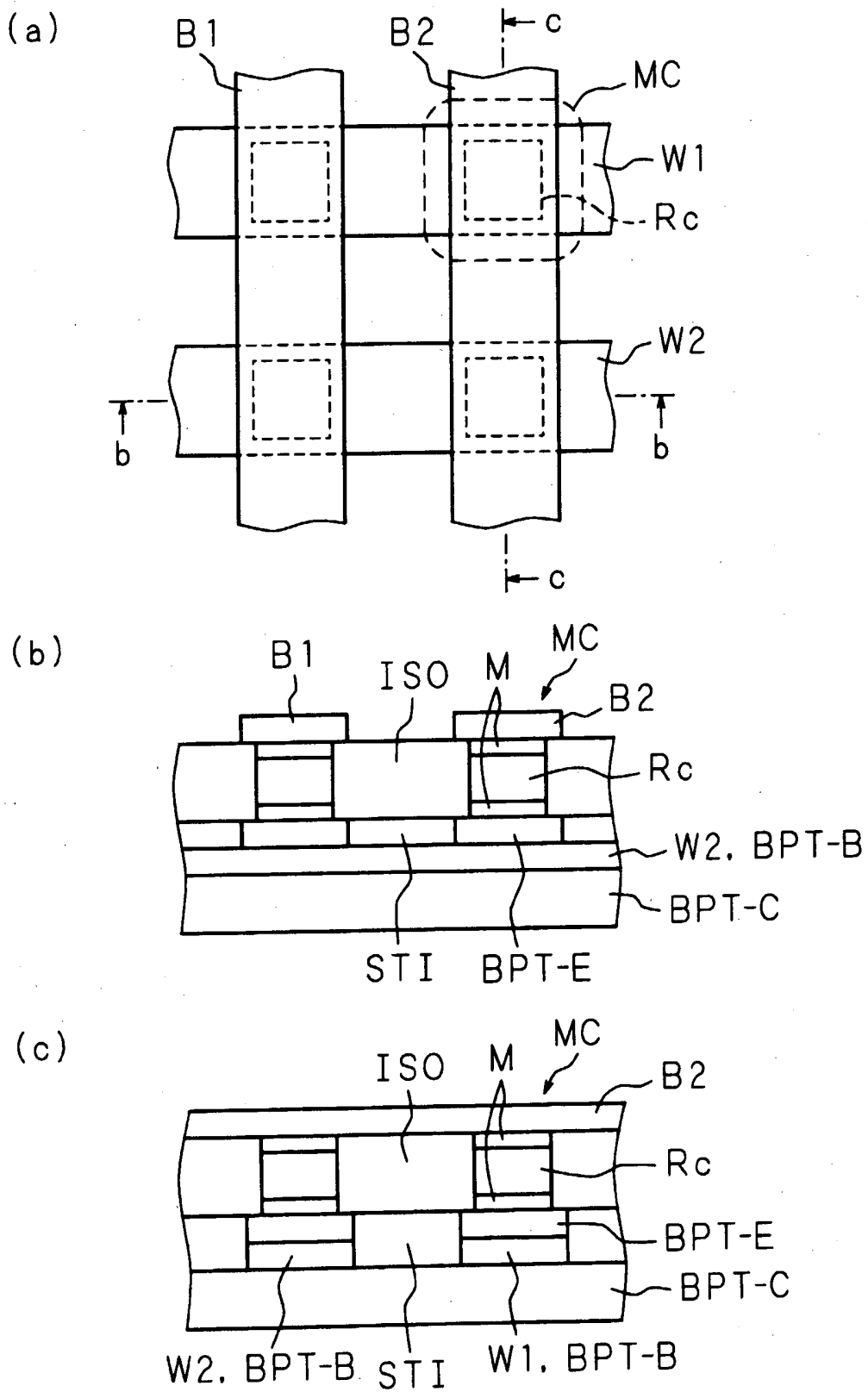
【図34】



【図 35】



【図 36】



【書類名】 要約書

【要約】

【課題】 ペロブスカイト構造をもつ薄膜材料（例えばPCMO）等からなる可変抵抗素子を記憶素子として低電圧で動作可能であり、且つ高集積が可能なメモリセル及び該メモリセルを用いた記憶装置を提供する。

【解決手段】 MCはメモリセルを示し、電流制御素子Qc及び可変抵抗素子Rcの組み合わせにより構成される。電流制御素子Qcとして電界効果トランジスタを使用する。電流制御素子Qcは可変抵抗素子Rcに流れる電流を制御するように可変抵抗素子Rcの電流路に直列に接続されるものとする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社